

**Tanguy Risset : Dossier d'avancement de grade  
(Professeur classe exceptionnelle deuxième échelon)**

---

<b>Nom d'usage :</b> Risset	<b>Prénom :</b> Tanguy	<b>NUMEN :</b> 10S0527406JAK
<b>Corps/grade :</b> PR EX1	<b>Discipline :</b> Informatique	

---

Structure du document :

1. Synthèse du parcours professionnel et contexte d'exercice (p 2)
2. Investissement pédagogique (p 4)
3. Activité scientifique (p 7)
4. Responsabilités collectives et d'intérêt général (p 14)

Annexes :

- A Détail des enseignements (p 29)
- B Liste des publications (p 21)
- C Directions de thèses (p 29)
- D fiches de service (p 32)

# 1) SYNTHÈSE DU PARCOURS PROFESSIONNEL ET CONTEXTE D'EXERCICE

Nom : Risset Prénom : Tanguy Nationalité : Française  
 Date et lieu de naissance : 31/08/1966, Quimper (France) Sexe : M  
 Adresse postale : CITI, INSA-Lyon Grade : PR EX, 1<sup>ème</sup> échelon  
 6, avenue des Arts  
 69621 Villeurbanne Cedex  
 N° de téléphone : +33 (0)4 72 43 64 86  
 Adresse électronique : Tanguy.Risset@insa-lyon.fr  
 Page Web personnelle : <http://perso.citi.insa-lyon.fr/trisset/>

## DIPLÔMES FRANÇAIS OU ÉTRANGERS

### Doctorat :

— Doctorat d'université de l'École Normale Supérieure de Lyon et de l'université Claude Bernard – Lyon, 1<sup>er</sup> février 1994 : « *Parallélisation automatique : du modèle systolique à la compilation de nids de boucles* »

### Habilitation à Diriger des Recherches (HDR) :

— Doctorat d'habilitation à diriger des recherches de l'université de Rennes 1, 22 novembre 2000 : « *Contribution à la compilation de nids de boucles sur silicium* »

## SITUATION PROFESSIONNELLE ACTUELLE

Je suis actuellement professeur (PR EX1), à l'Insa de Lyon (département Télécommunication, service et usage, section 27). Je suis rattaché au laboratoire CITI de l'Insa de Lyon et dirige le projet Insa/Inria/Grame Emeraude qui fait suite au projet Socrate dans lequel nous avons construit la plate-forme CorteXlab. J'ai aussi contribué, entre 2017 et 2020, à la création de la Fédération Informatique de Lyon (FIL) en tant que premier directeur adjoint.

## FORMATION ET PARCOURS PROFESSIONNEL

ÉTABLISSEMENTS	FONCTIONS ET STATUTS	DATES		OBSERVATIONS
		d'entrée en fonction	de cessation de fonction	
ENS Lyon	Fonctionnaire stagiaire (Normalien, promotion 1987)	sept. 1987	août 1991	
Thèse ENS Lyon	Doctorant	sept. 1990	sept. 1994	service militaire : 1991-1992
Inria (Irisa, Rennes)	CR Inria	oct. 1994	août 2001	
Inria (LIP, Lyon)	CR Inria	sep. 2001	août 2005	Création du projet Inria/ENS-Lyon Compsys
Insa-Lyon (CITI, Lyon)	PR2 Insa-Lyon	sep. 2005	août 2011 (PEDR 2008-2012)	Directeur adjoint du dept. Télécommunication 2009-2011
Insa-Lyon (CITI, Lyon)	PR1 Insa-Lyon	sep. 2011	août 2018 (PES 2013-2017)	Création projet Inria/Insa-Lyon : Socrate (2013-2021) Directeur adjoint FIL 2017-2020
Insa-Lyon (CITI, Lyon)	PR0 Insa-Lyon	sep. 2018	– (PEDR 2017-2021)	Création du projet Inria/-Insa/Grame : Emeraude (2021)

## Éléments significatifs de la carrière de Tanguy Risset

**Recherche** Je travaille aux interfaces entre l’informatique et d’autres domaines connexes, comme la microélectronique, le traitement du signal et les communications numériques. Ma compétence scientifique est centrée autour de la compilation et des systèmes embarqués. J’ai eu la chance de travailler dans trois laboratoires de pointe (LIP, IRISA et CITI) et de créer trois équipes de recherche : le projet Inria/ENS-Lyon Compsys à l’ENS-Lyon, le projet Inria/Insa-Lyon Socrate à l’Insa de Lyon et, récemment, le projet Inria/Insa-Lyon/Grame Emeraude. Je continue à publier régulièrement, activité indispensable pour moi afin de continuer à aimer ce métier, et je participe régulièrement à l’encadrement doctoral (co-encadrement de 15 thèses soutenues, 2 doctorants en cours).

La pluridisciplinarité (matériel/logiciel) que j’ai toujours recherchée a trouvé un terrain idéal avec la plate-forme FIT/CorteXlab (plate-forme expérimentale pour la radio cognitive) dont j’ai été co-responsable avec Jean-Marie Gorce. Cet Equipex a eu un impact important pour le site de Lyon. Cette période m’a permis d’approfondir mes connaissances pratiques en embarqué et en FPGA. Suite à la création de l’équipe Maracas, j’ai récemment démarré une nouvelle équipe de recherche (troisième projet Inria créé) : le projet Emeraude, en collaboration avec les chercheurs du Grame-CNCM, autour du traitement du signal audio sur les systèmes embarqués et en particulier les FPGA. Depuis sa création, le projet Emeraude a déjà recruté deux chercheurs Inria et Christine Solnon (PR Insa-Lyon) a souhaité rejoindre l’équipe en septembre 2024.

**Enseignement** J’ai véritablement découvert le métier d’enseignant-chercheur en devenant professeur à l’Insa de Lyon. Parmi les points que je mettrai en avant, je citerai : le polycopié de mon cours de compilation à l’ENS-Lyon (niveau L3, utilisé plusieurs années par les enseignants de l’ENS), la refonte du cours Algorithmique et Programmation au département Télécommunication (TC) de l’Insa (niveau L3), ainsi que mon investissement important (depuis plus de 10 ans déjà) dans l’enseignement des systèmes embarqués en 5<sup>e</sup> année du département TC à l’Insa-Lyon, avec, pour exemple récent, la création avec Romain Michon d’un cours audio embarqué au M2 de l’ENS-Lyon en 2025 et la proposition du projet SON en 2023. Mon intérêt pour les systèmes embarqués et la recherche appliquée répond à un besoin de l’Insa-Lyon, établissement important de formation d’ingénieurs et en particulier du département TC, un département très dynamique qui s’adapte rapidement aux nouvelles technologies.

En tant que professeur, je me suis progressivement investi dans des tâches d’administration de l’enseignement. J’ai été directeur adjoint du département TC pendant 2 ans, jusqu’au montage de l’équipe Socrate, assurant notamment la réforme de la 5<sup>e</sup> année TC. J’ai aussi participé à la mise en place de la promotion d’apprentis. Depuis la création de l’équipe Emeraude, j’ai introduit des cours en lien avec le traitement du signal audio. Depuis octobre 2023, je suis responsable des échanges internationaux IN (extérieur vers INSA) au département Télécommunication et responsable de la filière IST (Information Science and Technology) du département TC.

**Vie scientifique** Mes contributions à la vie scientifique ont été la création de l’équipe Compsys, puis de l’équipe Socrate (projet Inria de 2013 à 2021) que j’ai dirigée pendant 8 ans et qui a mis en place la plate-forme CorteXlab, et enfin la création de l’équipe Emeraude, qui compte aujourd’hui 7 permanents. J’ai été directeur adjoint du laboratoire CITI en 2007-2008. Je participe régulièrement à plusieurs comités de programmes de conférences internationales et à plusieurs jurys de thèses chaque année. J’ai eu en charge, avec Jean-Marie Gorce, de 2011 à 2021, la mise en place et la maintenance de la plate-forme CorteXlab de l’Equipex FIT. De 2016 à 2020, j’ai été directeur adjoint de la fédération de laboratoires informatiques de Lyon (FIL), que nous avons, avec David Coeurjolly, mise en place et inaugurée le 24 janvier 2017. Cette fédération CNRS regroupe aujourd’hui les 5 principaux laboratoires d’informatique et illustre un mouvement important de coordination de la recherche en informatique sur Lyon/Saint-Étienne.

## 2) INVESTISSEMENT PÉDAGOGIQUE

### 2.1 Présentation de l'activité d'enseignement

Depuis mon recrutement en tant que professeur d'université à l'Insa de Lyon en 2005, j'ai effectué mes heures de service complet (auparavant, de 1990 à 2014, j'effectuais entre 30 et 60 heures de cours par an). De 2015 à 2018, j'ai bénéficié d'une demi-délégation Inria pour mon implication en tant que chef du projet Inria Socrate.

#### Résumé des cours

Voici un résumé de mon activité d'enseignant, cette activité est présentée en détail en annexe, page 16, la plupart de ces cours sont référencés sur <http://perso.citi.insa-lyon.fr/trisсет/cours/>.

1990-1994 Thésard,  $\simeq$  **50h par an** : TP programmation (Pascal, U. Grenoble L1), TD algorithmique et graphe (ENS-Lyon, L3).

1994-2001 CR Inria, cours à l'université de Rennes 1,  $\simeq$  **60h par an** : Introduction à la programmation (cours, TD, TP, U. Rennes L1), optimisation algorithmique parallèle (DEA, U. Rennes M2), graphes (TD, TP, U. Rennes M1).

2001-2005 CR Inria, cours à l'ENS-Lyon,  $\simeq$  **30h par an** : Compilation (cours, M1), Modèle polyédrique (M2), conception de systèmes embarqués (M2).

2005-2015 PR Insa-lyon, cours à l'Insa-lyon,  $\simeq$  **220h par an** : Algorithmique et programmation (cours, TD, TP et gestion des intervenants, Niveau L3), Système d'exploitation (TD/TP, L3), Réseaux (TD/TP, L3), systèmes embarqués temps réel (cours, TP, M2), Master recherche systèmes embarqués (Cours, TP, M2), Télécommunication et radio logicielle (Cours/TP, M2)

2015-2018 PR Insa-lyon, en demi-délégation à l'Inria,  $\simeq$  **100h par an** : Algorithmique et programmation (cours, TD, TP et gestion des intervenants, L3), cours de systèmes embarqués (M2).

2018-2023 PR Insa-lyon,  $\simeq$  **220h par an** : Programmation C (cours, TD, TP et gestion des intervenants, L3), Architecture des ordinateurs (cours, TD, TP et gestion des intervenants, L3). Systèmes embarqués puis Systèmes embarqués pour l'audio (M2) et récemment un projet pluridisciplinaire pour toute la promotion L3 en collaboration avec Romain Michon sur le traitement audio sur micro-contrôleur.

#### Création de cours

- J'ai effectué une refonte complète du cours de **compilation à l'ENS-Lyon** en 2005, avec la **rédaction d'un Poly complet** utilisant largement le livre « Engineering a Compiler » de Keith D. Cooper et Linda Torczon.
- En 2005, j'ai aussi complètement revu le **cours Algorithmique et programmation** donnée en 3<sup>ème</sup> année des ingénieurs en formation au département Télécommunication. J'ai donné ce cours jusqu'en 2018, c'est par ce cours que les futurs ingénieurs apprennent les bases de la programmation (en langage C).
- J'ai participé activement au montage **plusieurs cours de niveau Master 2** “modèle polyédrique” à l'ENS-Lyon, et surtout à l'Insa de Lyon : “systèmes embarqués” - cours évoluant régulièrement depuis 2006 -, “Outils pour le travail de chercheur” en Master, “système embarqué temps réel” en option

transversale inter-département, “radio logicielle” en 5TC et mise en place de la filière “robotique embarqué” en 5TC.

- En 2018, il a été mené une réforme de l’enseignement au département Télécommunication. J’ai alors monté un nouveau **cours d’architecture des ordinateurs**, basé sur l’enseignement donné au département Informatique de l’Insa de Lyon. Nous avons maintenant des enseignements coordonnés sur ce sujet (le cours du département Télécommunication est beaucoup moins important que le cours au département Informatique bien sûr).
- En 2022, une nouvelle réforme du département TC introduit des projets pour toutes la promotion (étudiants classiques et apprentis, **presque 100 étudiants**). Nous avons proposé avec Romain Michon, la création d’un **projet pluri-disciplinaire traitement du signal et embarqué** autour du son sur micro-contrôleur.

Concernant les créations de cours niveau M2, mes contributions les plus importantes sont les suivantes :

- En collaboration avec A. Fraboulet, nous avons mis en place une formation professionnelle sur la programmation de capteurs communicants, et dispensé cette formation de **4 jours complets aux ingénieurs du CEA LETI** en 2009.
- En 2010-2011 j’ai monté avec A. Fraboulet le cours optionnel de 5<sup>eme</sup> année du département Télécommunication sur les systèmes embarqués (24 Heures Eq. TD). Ce cours propose une introduction à la **programmation de réseaux de capteurs** sur la plate-forme EZ430-RF2500 de Texas Instrument et porte aussi sur la **mise en place d’un système d’exploitation Linux embarqué** sur la plateforme Beagleboard, puis raspberryPi. J’ai fait régulièrement évoluer ce cours pendant 10 ans avant de le remplacer par le cours sur l’audio embarqué.
- En 2013, j’ai monté avec Jean-Marie Gorce et Leonardo Cardoso le cours MAC-TC (Module à la carte Télécommunication) sur la thématique de **la radio-logicielle avec l’environnement GNU-Radio** (32 Heures Eq. TD). Ce cours permet aux étudiants de programmer directement une forme d’onde, par exemple de décoder un signal Zigbee. Ce cours est toujours donnée en Télécommunication par Leonardo Cardoso.
- Lors de la dernière réforme de la 5<sup>eme</sup> année du département TC, j’ai coordonné l’enseignement embarqué, avec l’évolution du cours système embarqué que j’ai assuré seul et l’arrivée d’un cours de système d’exploitation avancé, cours proposé par Kevin Marquet. J’ai coordonné la **filiale robotique et embarqué** de la 5TC pendant 4 ans.
- À la rentrée 2020 nous avons, avec Romain Michon, créé un nouveau cours de 5<sup>eme</sup> année : **“Systèmes embarqués audio”**.
- À la rentrée 2022 nous avons, avec Romain Michon, créé un gros projet de 3<sup>eme</sup> année : **“SON : 3TC Audio Project @ INSA Lyon”**. Ce cours se situe à la frontière **entre le traitement du signal audio et les systèmes embarqués**, il donne une approche pragmatique du traitement du signal pour les ingénieurs télécommunication. Ce cours remplace donc le cours AUD créé deux ans auparavant, nous sommes en discussion pour donner le cours **AUD en M2 à l’ENS-Lyon**.
- Je coordonne actuellement la conception d’un nouveau cours de 5<sup>eme</sup> année intitulé **Audio en Rust** qui ouvrira à la rentrée 2025.

## Responsabilités pédagogiques

- 1996-2005 co-responsable des Masters de Rennes 1, puis du Master de l’ENS-Lyon.
- 2006-2012 responsable de la filière RTS du Master Mastria d’informatique de Lyon.
- 2006-2009, responsable des projets de fin d’étude du département Télécommunication de l’Insa de Lyon.
- 2008-2009, responsable de la 5<sup>eme</sup> année du département Télécommunication de l’Insa de Lyon.
- 2009-2011, directeur adjoint du département Télécommunication de l’Insa de Lyon. Le département Télécommunication de l’Insa de Lyon comprend 3 promotions de 75 élèves environs. j’ai été en particulier responsable des tâches suivantes :
  - Les évolutions pédagogique du département en général.
  - La **refonte de la 5<sup>eme</sup> année** du département Télécommunication avec l’introduction de cours

- optionnels, mis en place en ce moment.
- L'introduction d'un retour sur les enseignements fait par les étudiants de manière systématique.
- La mise en place du supplément au diplôme.
- 2014-2015, Responsable de la mise en place du parcours recherche dans le cadre de la réforme du département Télécommunication
- 2015-2018, Coordination de la filière robotique et embarqué de la 5TC.
- En 2023 j'ai pris deux responsabilités importantes au département Télécommunication :
  - **Responsable de la filière IST.** La filière IST est un semestre de cours niveau L3 en Informatique/Télécommunication pour des étudiants étrangers
  - **Responsable des étudiants d'échange IN.** Ce travail se fait en coordination avec le département des échanges internationaux de l'Insa. Il consiste à valider les demande d'échange ou de double diplômes d'étudiants étrangers avec le département Télécommunication. Il faut aussi participer au montage de nouveau dossier de double diplômes.

## Compétences pédagogiques

J'ai découvert, grâce au recul pris sur mon travail de recherche, que la réussite de la transmission du savoir dépend de nombreux critères non techniques, comme par exemple la capacité à faire le lien entre la discipline enseignée et le « monde réel ». J'ai eu l'occasion d'enseigner à de nombreux publics très différents ; c'est une richesse inestimable et non quantifiable. Je consacre beaucoup d'énergie à préparer mes cours et mes travaux pratiques, d'une part parce que j'aime cela, et d'autre part parce que c'est un domaine où je peux voir rapidement les fruits de mon travail. J'ai progressivement diminué la proportion de cours magistraux dans mon enseignement. Étant, depuis toujours, impliqué dans des cours d'informatique, je pense que la pratique sur machine est bien plus efficace. J'ai mis en place des cours-TP dans lesquels une partie du cours est vue pendant les TPs. Enfin, je prépare un cours pour introduire Rust aux étudiants. Ce nouveau langage a déjà été adoubé par une part importante du monde industriel, et il présente des concepts vraiment intéressants pour le code robuste.

Pour finir par un exemple concret, j'ai introduit, dans le cours de programmation en C des ingénieurs Télécommunications de l'Insa, des méthodes de développement issues de la programmation agile. J'ai ainsi amélioré sensiblement, je pense, les guides donnés aux étudiants pour répondre à cette question difficile : comment écrire du bon code ?

## 3) ACTIVITÉ SCIENTIFIQUE

### 3.1 Présentation synthétique des thématiques de recherche

Mon travail de recherche se situe dans le domaine de la conception des systèmes embarqués, à la frontière entre le logiciel et le matériel. Depuis ma thèse, j'ai constamment suivi une évolution **vers une recherche appliquée et proche des technologies** (technologies de conception de circuits, technologies de programmation/compilation, technologies radio). J'ai effectué **quatre longues périodes dans trois laboratoires différents** (tous de très haut niveau) : le LIP à Lyon, l'Irisa à Rennes, le CITI à Lyon. Durant ces années de recherche, j'ai travaillé sur des thématiques citées ci-dessous, toutes ayant **un lien fort avec la conception de systèmes embarqués**.

Ces recherches ont, en particulier, mené à la création du **projet Inria/ENS-Lyon Compsys** en 2004 dont la thématique de recherche est la compilation pour systèmes embarqués, puis à celle du **projet Inria/Insa Lyon Socrate** en 2013 (Radio Logicielle, en coordination avec la mise en place de l'**Equipex CorteXlab**), dont j'ai été responsable pendant 8 ans. Enfin, en 2021 je suis responsable d'une nouvelle équipe : le **projet Inria/Insa Lyon/Grame Emeraude**<sup>1</sup> sur la thématique des systèmes embarqués pour l'audio. Je reste aujourd'hui passionné par ce domaine situé entre l'informatique, la micro-électronique et le traitement du signal : la conception de systèmes de calcul embarqués pour les applications de télécommunication et de multimédia. Mon laboratoire d'accueil actuel, le CITI, présente les caractéristiques propices à l'émulation interdisciplinaire que je recherche.

Je décris ci-dessous un peu plus en détail mes contributions par grandes thématiques.

#### 3.1.1 Travaux de recherche Avant 2000 (Lyon et Rennes)

**Transformations de boucles, parallélisation et réseaux systoliques (Thèse, LIP Lyon)** Étude de l'algorithmique systolique avec des implémentations sur la Maspar [111, 31, 114], débouchant sur la parallélisation de nids de boucle (pavage [106, 105]). C'était la naissance du **modèle polyédrique**. J'ai, par exemple, publié avec Paul Feautrier un des premier travail sur la génération de code dans le modèle polyédrique, travail qui reste aujourd'hui ma référence la plus citée [29] (citée plus de 100 fois).

**Synthèse de haut niveau, conception de circuits, modèle polyédrique (CR Inria, Irisa, Rennes)**

Dans le projet Inria Api puis Cosi, j'ai travaillé sur sur le modèle polyédrique [122, 26, 102] et sur son application à la la compilation/parallélisation de circuits [85, 134, 90].

J'ai été pendant ces années là, le principal administrateur du **système MMAalpha**. Cette plate-forme de synthèse de haut niveau a permis d'expérimenter une méthodologie de conception de circuits spécialisés à partir de spécifications fonctionnelles de haut niveau (langage Alpha). J'ai étudié toutes les étapes d'une telle compilation : l'uniformisation [85], l'ordonnancement [97], la génération de code VHDL [101, 134, 20], l'interfaçage des architectures résultantes [12, 91, 9, 81], la vérification formelle des architectures [89, 82], et enfin les performances obtenues [94, 92, 24, 93]. Durant cette période, j'ai aussi assuré le développement et la diffusion de la **bibliothèque polyédrique Polylib** [103, 88, 122].

Ce travail autour du polyédrique est maintenant derrière moi, mais je garde un très bon contact avec cette communauté qui reste très active. L'outil MMAalpha a mené au langage AlphaZ<sup>2</sup> développé actuellement à Colorado State University. Mais surtout, cette expérience a largement influencé les travaux actuels autour

---

1. <https://team.inria.fr/emeraude/>

2. AlphaZ : <http://www.cs.colostate.edu/AlphaZ/wiki/doku.php>

de la compilation de boucles et de la synthèse de système : Graphite<sup>3</sup> dans GCC et l’outil Gecos<sup>4</sup> à l’Irisa par exemple.

### 3.1.2 Travaux de recherche Après 2000 (Lyon, CR puis PR)

**Compilation pour systèmes embarqués, Systèmes sur puces et réseaux de capteurs (LIP puis CITI, Lyon)** Lors de mon arrivée à Lyon, fin 2001, j’ai mis en place le **projet Inria Compsys** que j’ai dirigé jusqu’en 2005. Ce projet Inria a terminé l’an dernier et a été reconnu comme une des meilleures équipes mondiales de compilation. Je me suis alors intéressé à la simulation de systèmes sur puce (SoC) en participant au montage de la bibliothèque SocLib [21, 6, 81, 3], j’ai notamment étudié les réseaux sur puce (NoC) et montré dans quelles conditions l’auto-similarité présente dans le trafic pouvait poser un problème au moment de l’estimation de performance d’un NoC [82, 120, 78, 77, 19, 6].

J’ai ensuite participé à l’effort global du CITI autour des **réseaux de capteurs** (plate-forme Senslab notamment), J’ai travaillé avec Antoine Fraboulet pendant les années 2006-2011 (il avait été recruté dans l’équipe Compsys à cette époque) et j’ai acquis une compétence importante dans ce domaine qui me permet aujourd’hui d’être opérationnel sur la thématique IoT ([62, 60, 59], par exemple). En 2011, Antoine Fraboulet crée avec Guillaume Chelius la société HiKoB (20 personnes aujourd’hui), spécialisée dans la fabrication de réseau de capteurs. Je suis très fier d’avoir participé à l’aventure qui a mené à la création d’HiKoB qui représente un **scénario de valorisation exemplaire** pour la recherche française.

**Radio Logicielle (PR, CITI, Lyon)** En 2005 J’ai fait le choix de postuler sur un poste de professeur à l’Insa de Lyon au sein du département « Télécommunications, services et usages ». Ce recrutement a eu des conséquences importantes sur mon activité de recherche qui a sensiblement diminuée, mais j’ai pu continuer à publier à un rythme régulier. Ce changement a été très enrichissant et aujourd’hui mes activités de recherche sont beaucoup plus variées.

En collaboration avec le CEA, nous avons étudié comment programmer la puce Magali, dédiée à la norme 3GPP/LTE puis utilisée comme prototype de radio logicielle. Nous avons proposé une machine virtuelle pour la radio logicielle [73]. Ce travail a donné lieu à plusieurs publications [4, 72], un dépôt de brevet en collaboration avec le CEA [129] et a aussi beaucoup compté pour la création du projet Socrate.

On désigne par **radio logicielle** la possibilité de pouvoir reconfigurer facilement les interfaces physiques des dispositifs de communication radio. J’ai proposé la création du **projet Inria Socrate** fortement lié à l’acceptation de l’**Equipex CorteXlab** ([www.cortexlab.fr](http://www.cortexlab.fr)), plate-forme expérimentale de radio logicielle, dont je partage depuis la responsabilité avec Jean-Marie Gorce depuis 2011. L’équipe Socrate rassemble des chercheurs des communication numériques sans fils et des chercheurs de l’informatique embarqué pour étudier la radio logicielle et la radio cognitive.

Le montage et la gestion de l’équipe Socrate ainsi que le montage de la plateforme CorteXlab ont beaucoup occupé mon temps depuis 2011. CorteXlab a amené des travaux sur l’**implémentation FPGA** de protocole radio [61], ainsi que plusieurs démonstrations de la plate-forme [128, 63, 49]. En parallèle, J’ai continué mon activité avec le CEA sur la radio logicielle d’abord [11, 65, 64, 66] et j’ai collaboré à l’encadrement de deux thèses autour de l’**internet des objets**, l’une sur l’étude de la numérisation large bande dans le cadre du contexte du *smart metering* avec Orange-labs [59, 15, 55, 57], l’autre sur l’équipement de cyclistes par des capteurs HiKoB (mentionnée plus haut [62, 60, 54]), thèse qui a mené à l’équipement de capteurs HiKoB utilisé par les cyclistes du tour de France pour remonter des données affichées lors des retransmissions télévisées

**Ultra Low Power (PR, CITI, Lyon)** En 2018, Jean-Marie Gorce a créé l’équipe Maracas qui s’est alors occupé de la plate forme CorteXlab. Restaient, dans l’équipe Socrate, des chercheurs en informatique embarqué et des chercheurs en transmission radio (antennes). J’ai essayé, avec ces personnes de monter une équipe de recherche sur les capteurs très basse consommation qui pourraient tirer leur énergie du *grappillage*

---

3. Graphite : <https://gcc.gnu.org/wiki/Graphite>

4. Gecos : <http://gecos.gforge.inria.fr/doku/doku.php>

d'énergie (*harvesting*) dans l'environnement ambiant (ondes électromagnétiques, chaleur, vibrations etc.). Je me suis alors intéressé, avec la partie "embarquée" de l'équipe Socrate, aux nouvelles technologies de **mémoires non volatiles (NV-RAM)** [45, 47] dans le contexte des capteurs de très basse consommation. Nous avons commencé le développement d'un système logiciel, Sytare [118, 40, 43, 41, 14, 50, 46, 48], dédié aux systèmes à alimentation intermittente (énergie fournie par *harvesting* et non par batteries), que l'on trouve aujourd'hui dans les smart-card, mais qui vont rapidement de déployer dans le cadre de l'IoT. Nous avons obtenu le financement d'un IPL<sup>5</sup> [127] (Inria Project Lab) rassemblant plusieurs équipes Inria travaillant sur le sujet et deux labos du CEA qui s'est terminé avec succès récemment. Malheureusement, cette thématique s'est avérée trop fragile pour monter une équipe de recherche aujourd'hui : d'une part les quantités d'énergie grappillées sont insuffisantes, d'autre part les technologies NVRAM ne sont pas encore stabilisées. Le système Sytare [14] est un des travaux dont je suis fier : il restera le premier système d'exploitation permettant l'utilisation de périphériques en environnement intermittent.

**Systèmes embarqués audio (PR, CITI, Lyon)** Je me suis alors tourné vers une nouvelle voie : l'utilisation des technologies FPGA et de la synthèse de haut niveau (HLS) pour le traitement du signal audio. Je passe ainsi de la *software defined radio* au *software defined audio*. Les applications audio embarquées fleurissent aujourd'hui avec le développement de l'IoT et la puissance grandissante des micro-contrôleurs embarqués. Après deux ans de travail avec les 5 permanents de l'équipes, j'ai obtenu, fin 2021, l'autorisation par Inria, Insa Lyon et GRAME de démarrer une équipe commune appelé Emeraude<sup>1</sup> (Embedded Programmable Audio Systems). Ce nouveau thème demande des compétences avancées en compilation, traitement du signal, programmation embarquée et FPGA, compétences que j'ai acquises tout au long de ma carrière. Ce nouveau projet permet aussi d'associer les chercheurs du GRAME<sup>6</sup> à la communauté académique venant ainsi renforcer la communauté informatique Lyonnaise en plein développement.

Le démarrage de l'équipe Emeraude s'est beaucoup reposé sur le développement du projet SyFaLa<sup>7</sup> (synthèse audio faible latence) dont le but était de concevoir une plate-forme FPGA pour Traitement du signal numérique (DSP) audio multicanal à latence ultra-faible, programmable à haut niveau avec le langage FAUST<sup>8</sup>. L'originalité de ce travail est d'associer un compilateur très optimisant pour un langage dédié (le compilateur Faust) avec les outils de synthèse de haut niveau afin de programmer (au sens *hardware + software*) de manière rapide et efficace les SoC FPGA modernes. Le compilateur a d'abord été présentée à SMC2022 [39], puis il a connu rapidement une croissance importante [39, 38, 37, 116, 32]. Une part importante de l'équipe Emeraude travaille autour du projet SyFaLa aujourd'hui.

Mais le projet Emeraude va bien au delà de la compilation sur FPGA. Avec Romain Michon, nous avons monté une collaboration forte avec l'Université de Stanford (laboratoire CCRMA), j'y ai effectué deux séjours en 2022 et 2023 en intervenant dans le *DSP Seminar*<sup>9</sup>. Nous avons démarré des travaux sur le contrôle actif d'accoustique et les techniques de son 3D (ambisonie ou *wave field synthesis*) en utilisant la technologie FPGA [36]. Nous avons aussi attaqué le problème de l'implémentation d'un DAC directement sur FPGA (sans puce dédiée externe) [35]. Nous avons aussi proposé un système de streaming depuis un réseau Ethernet adapté aux carte FPGA [115, 33] Ces problèmes ont des applications pratiques très concrète et permettent de faire des démonstrations très parlantes et nous investissons le champ de la médiation aussi<sup>10</sup>.

Récemment nous démarré deux nouvelles directions de recherche : l'étude de l'audio 3D distribué [13] et les interactions avec l'intelligence artificielle (thèse Cifre démarrée avec le Grame).

---

5. <https://project.inria.fr/iplzep/>

6. GRAME (<https://www.grame.fr/recherche>) est un «Centre National de Création Musicale» (CNCM) organisé en trois départements : production musicale, transmission / médiation, et recherche sur la musique par ordinateur. Quatre chercheurs du GRAME ont une expertise en informatique (compilation), DSP audio, lutherie numérique et interaction homme-machine en général. GRAME a dirigé le développement du langage de programmation FAUST ([faust.grame.fr/](http://faust.grame.fr/)) depuis sa création en 2004.

7. <https://github.com/inria-meraude/syfala/>

8. [faust.grame.fr/](http://faust.grame.fr/)

9. <https://ccrma.stanford.edu/events/tanguy-risset-compiling-audio-dsp-fpgas-using-faust-programming-language-and-high-level>

10. <https://www.insa-lyon.fr/fr/evenement/atelier-comment-programmer-pour-creer-instrument-musique-electronique>

## 3.2 Publications

Le détail de mes publications est présenté dans la liste complète en annexe, p 21. J’ai publié à ce jour **18 articles** de journaux, **10 Chapitres** de livres et **79 conférences internationales** avec comité de lecture. À cela s’ajoute une vingtaines de documents non publiés par ailleurs (rapport de recherche ou workshop) et un brevet avec le CEA. Je présente ici cinq de mes publications parmi les plus significatives.

- [A] J. COLLARD, P. FEAUTRIER, T. RISSET, « Construction of DO Loops from Systems of Affine Constraints », *Parallel Processing Letters* 5, 1993, p. 421–436.
- [B] A. C. GUILLOU, P. QUINTON, T. RISSET, « Hardware Synthesis for Systems of Recurrence Equations with Multi-Dimensionnal Schedule », *International Journal of Embedded Systems (IJES)* 3, 4, 2008, p. 271–284.
- [C] M. DARDAILLON, K. MARQUET, T. RISSET, J. MARTIN, H.-P. CHARLES, « A New Compilation Flow for Software-Defined Radio Applications on Heterogeneous MPSoCs », *ACM Transactions on Architecture and Code Optimization* 13, 2016.
- [D] G. BERTHOU, T. DELIZY, K. MARQUET, T. RISSET, G. SALAGNAC, « Sytare : a Lightweight Kernel for NVRAM-Based Transiently-Powered Systems », *IEEE Transactions on Computers* 68, 9, septembre 2019, p. 1390 – 1403.
- [E] M. POPOFF, R. MICHON, **Risset, T.**, P. COCHARD, S. LETZ, Y. ORLAREY, F. DE DINECHIN, « Audio DSP to FPGA Compilation », in : *International Conference on Application-specific Systems, Architectures and Processors (ASAP 2023)*, IEEE, p. 31–33, Porto, Portugal, juillet 2023.

1. La publication [A] est un exemple de succès des recherches autour du modèle polyédrique. Nous avons montré la validité de l’utilisation de la programmation linéaire en nombre entier pour générer une boucle qui parcourt les points à coordonnées entières d’un polyèdre convexe. Cette méthode est très utilisée notamment pour la génération de code après transformation de boucle dans des compilateur optimisant (comme Graphite aujourd’hui intégré à GCC<sup>11</sup>. Cet article a été cité plus de 100 fois.
2. Le travail présenté dans [B] est le résultat de plusieurs années de travail autour du logiciel MMAalpha. Il s’agit de la première extension de la méthode systolique pour synthétiser automatiquement des circuits utilisant des mémoires. La difficulté étant d’étendre la classe d’architecture que l’on sait synthétiser, mais pas trop sans quoi on tombe sur l’ensemble de toutes les architectures possibles et le problème d’optimisation devient trop complexe.
3. la publication [C] est le résultat de plusieurs années de collaboration avec le CEA dans le domaine de la radio logicielle : nous avons proposé un compilateur prototype pour compiler des formes d’ondes 4G vers la machine dédiée Magali du CEA. Ces travaux font suite à un premier brevet que nous avons déposé avec le CEA ([129]). Ici, nous avons proposé l’utilisation de modèle flot de donnée paramétrique (modèle SPDF) pour exprimer la reconfiguration rapide nécessaire dans les nouveaux protocoles de communication sans fils (4G, LTE-Advanced). Mickael Dardaillon a ensuite été recruté par le centre de recherche de National Instrument à Austin pour transférer ces travaux de thèse dans le logiciel LabView-FPGA.
4. La publication [D] est le résultat principal de l’orientation de nos recherches vers les capteurs basse consommation et la mémoire non-volatile. Cet OS a servi de plate-forme expérimentale pour de nombreux résultats. En plus d’être le premier OS permettant l’utilisation de périphériques en environnement intermittent, Il a aussi donné lieu – avec l’aide de chercheurs en programmation – à la première modélisation formelle d’une exécution intermittente. Nous avons pu prouver [41] que les conditions que nous énoncions étaient nécessaires et suffisantes pour qu’un OS permette une telle exécution en environnement intermittent.
5. Enfin la publication [E] illustre l’inclinaison de mes recherche dans la nouvelle Equipe Emeraude. L’outil Syfala<sup>12</sup> en est maintenant à un stade où il permet de compiler des applications audio complexes

---

11. <https://gcc.gnu.org/wiki/Graphite>

12. <https://github.com/inria-emeraude/syfala/>

(rendu de son 3D en ambisonie ou en Wave Field Synthesis – WFS). Cette publication présente à la communauté informatique/architecture cette nouvelle plateforme qui permet de *compiler* directement un programme audio sur FPGA sans passer par les hommes-mois de programmation VHDL.

### 3.3 Encadrement doctoral et scientifique

Le détail des encadrements et des jurys de thèse est présenté en annexe, p29.

J’ai participé à l’encadrement des thèses soutenues suivantes : Florent Dupont de Dinechin (1997), Patricia Le Moenner (1997), Sophie Robert (1997), Anne Claire Guillou (2003), Antoine Scherrer (2007), Alexandru Plesco (2010), Riadh Ben Abdallah (2010), Fei Yang (2011), Cédric Levy-Bencheton (2011), Mickael Dardailon (2014), Matthieu Lauzier (2015), Mathieu Vallerian (2016), Tristan Delizy (2019), Gautier Berthou (2021) et Maxime Popoff (2024). Je participe actuellement à l’encadrement de Thomas Rushton et Benjamin Quiedeville.

J’encadre régulièrement des stagiaires de Master et j’ai été jusqu’en 2012 responsable de Master recherche RTS dont la thématique est proche du laboratoire CITI.

J’ai participé à l’encadrement d’ingénieurs dans le cadre de la plate-forme CorteXlab, j’ai coordonné les activités d’ingénierie avec Jean-Marie Gorce durant le montage de la plate-forme (3 ingénieurs à plein temps). Je continue l’encadrement d’un ingénieur attaché à l’équipe Emeraude (ADT Inria).

### 3.4 Diffusion, rayonnement, valorisation et développement Logiciel

#### Diffusion et Rayonnement

Depuis mon HDR j’ai participé à 42 jury de thèse dont 29 en tant que rapporteur (cf annexe, p 29). J’ai aussi rapporté sur 5 HDRs et été référent en 2024 pour l’HDR de Romain Michon.

Lors de la conférence DATE 2001 (Design Automation and Test in Europe) nous avons obtenu le second prix du *design contest* [134]. L’article [84] a été retenu parmi les 3 meilleurs papiers de la conférence ASAP 2003 (lors du processus de sélection du « best paper »).

J’effectue régulièrement des séminaires et conférences invités, présentations moins formelles que les conférences citées dans la bibliographie p 21. À titre d’exemple, voici la liste des conférences invitées que j’ai données depuis 2015 :

- Avril 2015, présentation de CorteXlab au NI-days à Paris.
- Mai 2015, à Thales présentation des activités de recherche de Socrate.
- Juin 2015, présentation de CorteXlab et séjour d’une semaine à l’université de Rutgers (laboratoire Winlab), chez Ivan Seskar, responsable de la plate-forme Orbit.
- Mai 2016, démonstration prévue de CorteXlab au GDR SOC (Malheureusement annulée à cause des grèves de train).
- Juin 2016 “Compilation of Parametric Dataflow Applications for Software-Defined-Radio-Dedicated MPSoCs” aux journées langages du LIP.
- Septembre 2016, exposé à Colorado State University (présentation de CorteXlab et Socrate).
- Septembre 2016, présentation de CorteXlab à la *GNU-Radio conference* à Boulder, Colorado. De bons contacts sont noués qui pourraient déboucher sur l’organisation d’une conférence GNU radio en Europe.
- Octobre 2016 Présentation à Grenoble des activités Inria du CITI autour de l’IoT devant une délégation de Taiwan dans le cadre du MOU.
- Février 2017 à Lisbonne Présentation de la plate-forme CorteXlab au Cost Iracon.
- Février 2017 : Stand de démonstration à FOSDEM 2017 (Bruxelles), démonstration sur la plate-forme CorteXlab
- Mai 2017 : Présentation de CorteXlab à la journée du thème Système, Réseau et Télécommunications de la fédération informatique de Lyon

- Juillet 2017 : Présentation du logiciel Sytare à l'équipe Inria Celtique à Rennes.
- Mars 2018 : Présentation d'un poster au workshop NVMW 2018 (San diego).
- Juillet 2018 : Organisation et présentation d'un tutoriel aux premières journées française GNU Radio.
- Septembre 2018 : Présentation à la conférence IPIN 2018 (Nantes).
- Juin 2019 : présentation d'un tutorial à la conférence "European Gnu Radio Days" (participation au comité de programme)
- Juillet 2022 : présentation de l'équipe Emeraude et du projet Syfala à l'université du Quebec à Trois rivières (Canada).
- Septembre 2022 : présentation de l'équipe Emeraude au séminaire prospective Inria (Rungis)
- Octobre 2022 : présentation du projet Syfala au *DSP seminar* à l'université de Stanford (Palo Alto)
- Octobre 2022 : présentation du projet Syfala aux ingénieurs de Xilinx à San José en Californie, rédaction d'une *Xilinx User success Story*.
- Janvier 2023 : Présentation de la compilation audio sur FPGA aux élèves de l'ENS Rennes (Rennes).
- Juin 2023 : présentation de l'équipe Emeraude et des recherches sur SyFaLa au GDR SoC (Lyon).
- Octobre 2023 : présentation de l'optimisation C++ pour FPGA au *DSP seminar* à l'université de Stanford (Palo Alto).

J'ai été titulaire de la PEDR (niveau B, 2017-2021) et auparavant titulaire de la PEDR de 2008 à 2012, puis de la PES de 2013 à 2017.

## Comités de programme (depuis 2013)

Depuis 2013, j'ai été dans les comités de programme des conférences suivantes :

- 2013 : SIES 2013 (IEEE Symposium on Industrial Embedded Systems), ISVLSI 2013 (IEEE Computer Society Annual Symposium on VLSI)
- 2014 : ISVLSI 2014, DATE 2014 (Design Automation and Test In Europe, Track E4 : embedded software architectures and principles)
- 2015 : ISVLSI 2015, DATE 2015
- 2016 : ISVLSI 2016, DATE 2016, CROWNCOM 2016 (EAI International Conference on Cognitive Radio Oriented Wireless Networks)
- 2017 : ISVLSI 2016, DATE 2017, CROWNCOM 2017, COCORA 2017 (International Conference on Advances in Cognitive Radio)
- 2018 : ISVLSI 2018, DATE 2018, CROWNCOM 2018, COCORA 2018, PIMRC 2018
- 2019 : ISVLSI 2019, DATE 2019, CROWNCOM 2019
- 2020 : DATE 2020
- 2021 : DATE 2021
- 2022 : DATE 2022, Sound and Music Computing (SMC 2022)
- 2023 : DATE 2023, Sound and Music Computing (SMC 2023)
- 2024 : DATE 2024, Sound and Music Computing (SMC 2024)

J'effectue aussi une activité de reviewer pour des journaux ponctuellement (TACO, IJVLIS, IEEE Tans. Computer, ...).

En 2018 nous avons créé, avec Leonardo Cardoso et Jean-Michel Friedt, les premières journées Françaises GNUradio<sup>13</sup>. Cette conférence est maintenant devenue les *European GNUradio days*<sup>14</sup>. J'ai quitté le comité de programme en 2021.

## Développement logiciel

J'ai été le **principal développeur et responsable** de la maintenance du logiciel MMAalpha de 1994 à 2001 (<http://www.irisa.fr/cosi/ALPHA/>). Ce logiciel (40 000 lignes de Mathematica et 25 000 lignes de C) a servi de support à plusieurs thèses. Durant cette période, j'étais aussi responsable de la maintenance de la librairie polyédrique Polylib (<http://icps.u-strasbg.fr/polylib/>). J'ai participé activement

13. <https://gnuradio-fr-18.sciencesconf.org/>

14. <https://gnuradio-eu-21.sciencesconf.org/>

au développement de la bibliothèque SocLib (<http://soclib.lip6.fr/>). Aujourd'hui le déploiement de la **plate-forme CortexLab** de l'équipex FIT (<http://www.cortexlab.fr>) s'accompagne de nombreuses productions logicielles open-source (Minus, DAS, FFT-web), j'ai participé notamment aux **design VHDL** produits pour les nœuds SDR Nutaq. Plus récemment, pendant deux ans j'ai été le principal développeur du projet Syfala [42] (<https://faust.grame.fr/syfala/>) qui a mené au premier prototype de compilateur de programme audio sur FPGA.

J'ai initié la création du **gitlab de développement Syfala** (<https://gitlab.inria.fr/risset/syfala>). Le projet inclue maintenant 4 chercheurs/développeur régulier. Le site public de Syfala étant sur Github (<https://github.com/inria-emmaude/syfala>), il a déjà été utilisé à plusieurs endroits (Maynooth University – Irlande, Stanford University – California par exemple).

## 3.5 Responsabilités scientifiques

### Vie scientifique

*Note : ce paragraphe est le même que le premier de la section 4.1 (responsabilité collectives) vu la dualité de cette tâche je ne savais pas où la ranger.*

Ma plus grosse contribution dans le domaine de la vie scientifique est la **création de trois projets Inria : Compsys, Socrate et Emerald**. J'ai assuré la direction du projet Compsys de 2001 à 2005, ce projet a été reconnu comme une des équipes les plus en pointe dans le domaine de la compilation de systèmes embarqués, c'est Alain Darté qui en a repris la direction lors de mon recrutement à l'Insa de Lyon. J'ai dirigé ensuite le projet Socrate (<http://www.citi-lab.fr/team/socrate/>). Socrate a été la première *équipe-projet* Inria créée au CITI depuis la fin du projet Initiateur Ares en 2008. La mise en place de Socrate a contribué à la stabilisation des relations entre Inria et le CITI. Simultanément, au démarrage de l'activité de Socrate fortement orienté vers la radio logicielle et la radio Cognitive, l'équipex FIT a été accepté (en 2011) et j'ai donc été l'un des responsables de la **mise en place de la plate-forme CortexLab** de l'équipex FIT ([www.cortexlab.fr](http://www.cortexlab.fr)), plate-forme dédiée à la radio logicielle aujourd'hui unique dans le monde. L'équipe Maracas de Jean-Marie Gorce a pris le relais sur CortexLab en 2018 et en 2021 j'ai créé une nouvelle équipe (Emerald) sur une nouvelle thématique (l'audio embarqué) en associant des chercheurs du Grame.

J'ai aussi été directeur adjoint du laboratoire CITI en 2007-2008 comme expliqué dans la section 4.2

### Gestion de contrat

En tant que chargé de recherche à Rennes, j'ai participé au suivi des contrats suivants dont je n'ai pas gardé les montants des budgets : Nana2 (projet Esprit BRA, à Lyon puis à Rennes 1995), Asar (projet MENESR 1997), Cairn (contrat Cnet 1997), Portrait (projet Européen Copernicus 1998), Remit et FFF (projets PAI Alliance avec l'Angleterre 1999), Dia (projet de l'université virtuelle francophone), Corcop (projet Cefipra avec l'Inde 2000), Mocat (projet régional 2000).

Au sein du projet Inria Compsys à Lyon, J'ai participé au montage d'un contrat de type STSI (projet du ministère de l'industrie, budget de l'ordre de 20K€), contrat avec ST-Microelectronics à Grenoble. J'ai démarré une collaboration avec l'équipe Shiva à Crolles dans le cadre du projet Nano2008 (convention entre ST-Microelectronics et l'état, budget de l'ordre de 30K€) ainsi qu'un contrat Cifre (thèse d'Antoine Scherrer). J'ai aussi monté le dossier de Compsys dans projet Européen ITEA Martes qui vient de se terminer (budget de 171k€)

Depuis mon arrivé à l'Insa, j'ai monté la participation du projet Ares au projet Minalogic OpenTLM (120 K€ en 2008), projet que nous avons du quitter suite à la defection de notre partenaire privilégié (Thompson Télécommunication). J'ai participé à la plate forme ANR SocLib (111 K€) au titre de l'Insa de Lyon qui s'est terminé en 2010. J'ai bien sûr participé activement à l'équipex FIT/CortexLab (presque 1M€ pour Socrate). Je participe actuellement au projet ANR FAST qui se termine en 2025 (110k€).

## 4) RESPONSABILITÉS COLLECTIVES

### 4.1 Direction des projets Inria : Compsys, Socrate et Emeraude

*Note : ce paragraphe est le même que le premier de la section 3.5 (responsabilité scientifique) vu la dualité de cette tâche je ne savais pas où la ranger.*

Ma plus grosse contribution dans le domaine de la vie scientifique est la **création de trois projets Inria : Compsys, Socrate et Emeraude**. J'ai assuré la direction du projet Compsys de 2001 à 2005, ce projet a été reconnu comme une des équipes les plus en pointe dans le domaine de la compilation de systèmes embarqués, c'est Alain Darté qui en a repris la direction lors de mon recrutement à l'Insa de Lyon. J'ai dirigé ensuite le projet Socrate (<http://www.citi-lab.fr/team/socrate/>). Socrate a été la première *équipe-projet* Inria créée au CITI depuis la fin du projet Initiateur Ares en 2008. La mise en place de Socrate a contribué à la stabilisation des relations entre Inria et le CITI. Simultanément, au démarrage de l'activité de Socrate fortement orienté vers la radio logicielle et la radio Cognitive, l'équipex FIT a été accepté (en 2011) et j'ai donc été l'un des responsables de la **mise en place de la plate-forme CorteXlab** de l'équipex FIT ([www.cortexlab.fr](http://www.cortexlab.fr)), plate-forme dédiée à la radio logicielle aujourd'hui unique dans le monde. L'équipe Maracas de Jean-Marie Gorce a pris le relais sur CorteXlab en 2018 et en 2021 j'ai créé une nouvelle équipe (Emeraude) sur une nouvelle thématique (l'audio embarqué) en associant des chercheurs du Grame.

### 4.2 Responsabilités administratives diverses

- **Directeur adjoint de département Télécommunication (2 ans)** J'ai été directeur adjoint du département Télécommunication pendant deux ans, entre 2009 et 2011.  
En plus de la tâche principale de ce poste : gestion de la 5<sup>ème</sup> année et des évolutions pédagogiques du département, j'ai notamment supervisé les tâches suivantes : La refonte de la 5<sup>ème</sup> année, l'introduction d'un retour sur les enseignements fait par les étudiants de manière systématique, la mise en place du supplément au diplôme et enfin le suivi de la pédagogie au sein de département en lien avec les responsables de domaine (réunions délégués, réunions du comité pédagogique).
- **Directeur adjoint du CITI (1 an)** J'ai été pendant un an directeur adjoint du CITI, pour pallier au départ d'Eric Fleury. Ce poste ne m'a pas demandé beaucoup de travail car le partage des tâches n'était pas encore finalisé.
- **Responsable du Master RTS (6 ans)** J'ai été entre 2007 et 2012 responsable du Master RTS, filière réseau du Master Mastria (<http://master-info.univ-lyon1.fr/M2RTS/>). Cette tâche m'a demandé beaucoup d'effort car le Master était habilité par nombreux établissements et l'organisation globale est... complexe, j'ai aussi beaucoup appris de cette expérience. J'ai aussi rédigé la proposition de la nouvelle mouture de la filière RTS pour le quadriennal qui n'a finalement pas été avalisé par l'Insa.
- **Responsable axe embarqué du CITI 2005-2018** J'ai été, depuis 2005 responsable de l'équipe « embarqué » CITI. Cet axe regroupe entre cinq et sept permanents, j'ai notamment présenté le bilan de l'axe embarqué lors de l'évaluation HCERES du laboratoire en février 2015.
- **Direction adjointe de la fédération informatique de Lyon 2016-2020** En 2016, le LIP, le LIRIS et le Citi ont travaillé à la création d'une fédération (au sens CNRS du terme) de laboratoire d'informatique sur la région Lyonnaise intitulée FIL et destinée à être étendue à la région Lyon/Saint-

Etienne : [fil.cnrs.fr](http://fil.cnrs.fr). J'ai accepté la direction adjointe de la fédération (le directeur est David CoeurJolly), le dossier a été accepté et la fédération a été inaugurée le 24 Janvier 2017. J'ai assuré la direction adjoint jusqu'à fin 2020, le passage de témoin s'est fait naturellement vers une nouvelle direction.

Ce fut un vrai plaisir de travailler à cette fédération, et de voir les trois chefs de laboratoire (LIP, CITI, LIRIS) se parler chaque mois et développer une vraie connivence. Ayant été présent au démarrage du LIP et du CITI, je sais qu'il est important que ces laboratoires travaillent ensemble et non les uns contre les autres. Je me suis attaché à ce que cette fédération ne soit pas une strate administrative supplémentaire et qu'elle réponde à un vrai besoin des informaticiens de la région.

- **Responsable de la filière IST (Dpt. Télécommunication), 2023** - depuis fin 2023 j'ai proposé de reprendre la responsabilité de la filière IST (Information Science & Technology Semester). Ce semestre est un programme organisé de concert par trois départements de l'INSA Lyon : Telecom (TC), Informatique (IF) et Génie Électrique (GE). Il implique également les trois laboratoires de recherche associés à ces départements : le CITI, CREATIS et le LIRIS. Ce programme s'adresse aux étudiants étrangers de niveau Bachelor et supérieur.
- **Responsable des étudiants d'échange IN (Dpt. Télécommunication) 2023** - En plus des étudiants s'inscrivant à IST, nous avons chaque année des étudiants d'échange inscrits aux semestres TC ou en double diplôme entre TC et leur université. J'ai pris la responsabilité de la gestion de ces étudiants, je valide leur cursus et prend en charge avec le département relation internationale de l'INSA leur gestion administrative.
- **Comité HCERES de l'unité STMS (laboratoire IRCAM), 2023**. J'étais initialement simple expert pour cette évaluation, et je suis passé vice-président car le président a dû annuler sa participation.

## ANNEXE A : DÉTAIL DES ENSEIGNEMENTS

### 1990-1994 : doctorant au LIP (Lyon)

Année	Statuts	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
1990-91	Normalien (ENS Lyon)	30 h	Deug, université de Lyon 1	TP de programmation (Pascal)
1991-92	Scientifique du contingent	40 h	Univ. de Toulon	Colles de programmation (Pascal)
1992-93	Moniteur (U. Grenoble 1)	64 h	Deug A1 université de Grenoble 1	Cours et TP de programmation (Pascal)
1993-94	Agrégé préparateur (ENS Lyon)	80 h	Magistère informatique ENS 1 <sup>ere</sup> année	TD du cours "Introduction à l'algorithmique" (30 h), TD du cours "Mathématiques pour l'informatique, algèbre et graphes" (16h), TD du cours "Algorithmique avancée" (30h)

TABLE A.1 – Enseignements à Lyon et Grenoble (1990-1994)

## 1994-2005 : CR Inria, à l'Irisa (Rennes) puis au LIP (Lyon)

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
1995-96	40 h	EMIA (école militaire de Coetquidan), U. Rennes 1	Introduction à la programmation par Mathematica. participation à la <b>Création du cours et rédaction du polycopié.</b>
1996-97	40 h	DEUG SM Rennes 1	Mêmes enseignements qu'en 1995-96 (Mathematica).
1997-98	50 h	DEUG SM et DEA informatique Rennes 1	"Optimisation et Parallélisme (OPPA, <b>création du cours</b> )", plus l'enseignement de Mathematica (40h).
1998-99	70 h	DEUG SM et DEA Rennes 1	"Algorithmique du parallélisme (ALPA <b>création du cours</b> )", module OPPA, plus l'enseignement de Mathematica remanié (50h).
1999-2000	60 h	DEUG SM et DEA Rennes 1	Mêmes enseignements qu'en 1998-99
2000-2001	50 h	DIIC et DEA informatique Rennes 1	TP/TP de graphe en DIIC (formation ingénieur de l'université de Rennes 1, 40h) et module ALPA

TABLE A.2 – Enseignements à Rennes en tant que chargé de recherche (1994-2001)

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
2001-2002	24 h	DEA de l'ENS-Lyon	<b>création du cours de</b> DEA intitulé "modèle polyédrique"
2003-2004	30 h	Magistère informatique de l'ENS-Lyon (niveau M1).	<b>du cours de Compilation</b> : Toutes les techniques de base de la compilation depuis la théorie des grammaires jusqu'à la génération d'assembleur en passant par les optimisations de compilation classiques. <b>Refonte complète du cours de Yves Robert. Rédaction complète du polycopié.</b>
2004-2005	30 h	Magistère informatique de l'ENS-Lyon (niveau M1)	Cours de Compilation : refonte de certains TD et mise en place de TP
2004-2005	10 h	Master 2 Mastria filière RTS	<b>création du cours de Master 2</b> intitulé "Conception de systèmes embarqués complexes " en commun avec Antoine Fraboulet

TABLE A.3 – Enseignements à Lyon en tant que chargé de recherche (2001-2005)

## 2005-2014 : PR Citi/Dept. Télécommunications, Insa-Lyon (plein temps)

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
2005-2014	65 h	3 <sup>ème</sup> année TC	Responsable du cours Algorithmique et Programmation (AGP) : <b>refonte du cours et du poly, gestion complète</b> (sujets TP/TD, gestion des intervenants)
2005-2010	15 h	3 <sup>ème</sup> année TC	Système d'exploitation (SDE) : TD, TP
2007-2009	30 h	3 <sup>ème</sup> année TC	Réseau (NET) : TD, TP
2005-2014	20 h	3 <sup>ème</sup> année TC	Passeport informatique pour les télécommunication (PIT : remise à niveau en informatique pour étudiants TC) : TP
2006-2012	10 h	5 <sup>ème</sup> année TC, IF, GE	Cours inter-département : systèmes embarqués temps réel. Environnement de programmation pour plateforme embarquée (carte avec microcontrôleur MSP430), <b>participation à la création du cours</b> , TP et cours.
2005-2014	15 h	4 <sup>ème</sup> année TC	interventions diverses : Réseau, Middleware, Vhdl, Gestion de projet...
2005-2014	30 h	5 <sup>ème</sup> année TC	Encadrement projet de fin d'étude, tutorat, reponsabilité des PFE jusqu'en 2009
2005-2013	10 h	Master 2 Mastria filière RTS	Conception de systèmes embarqués complexes <b>création et gestion du cours</b>
2007-2011	6 h	Master 2 Mastria filière RTS	Responsable du cours "Techniques de base pour le chercheur" : présentation d'exposé, rédaction d'articles <b>création et gestion du cours</b>
2009-2010	24 h	Formation Continue Ingénieur CEA	Programmation MSP430 et réseaux de capteur pour des ingénieurs CEA Leti <b>participation à la création du cours</b> avec A. Fraboulet.
2010-2014	20 h	5 <sup>ème</sup> année TC	Cours optionnel sur la programmation de capteurs et de systèmes embarqués plus complexes <b>participation à la création du cours</b>
2012-2014	16 h	4 <sup>ème</sup> année TC	Cours optionnel sur la radio logicielle avec GNU-radio (MAC-TC) <b>participation à la création du cours</b>

TABLE A.4 – Enseignements à Lyon en tant que professeur à l'Insa de Lyon au département Télécommunications service et usage (2005-2014)

## 20015-2017 : PR Insa-Lyon, 1/2 délégation Inria

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
2014-2017	60 h	3 <sup>ème</sup> année TC	Responsable du cours Algorithmique et Programmation (AGP) : gestion des intervenants, filière classique et en alternance
2014-2017	20 h	5 <sup>ème</sup> année TC	Responsable du cours sur la programmation de capteurs et de systèmes embarqués <b>evolution régulière du cours</b> (responsable également de la filière “robotique et embarqué” correspondante)
2014-2016	16 h	4 <sup>ème</sup> année TC	Cours optionnel sur la radio logicielle avec GNU-radio (MAC-TC)
2014-2017	15 h	3 <sup>ème</sup> année TC	Proposition d’un sujet “Projet Initiation Recherche” mis en place pour que les étudiants 3TC prenne contact avec la recherche

TABLE A.5 – Enseignements à Lyon en tant que professeur à l’Insa de Lyon en demi-délégation Inria (2014-2017)

## 2018-2023 : PR Insa-Lyon

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
2018-2024	64 h	3 <sup>ème</sup> année TC	Responsable du cours Programmation C (CRO) : gestion des intervenants, filière classique et en alternance
2018-2024	70 h	3 <sup>ème</sup> année TC	Montage et gestion du cours Architecture des ordinateurs (ARC) : gestion des intervenants, filière classique et en alternance
2018-2020	30 h	5 <sup>ème</sup> année TC	Responsable du cours sur la programmation de capteurs et de systèmes embarqués (BED)
2018-2020	20 h	3 <sup>ème</sup> année TC	Intervention dans le cours “Programmation parallèle et concurrente”
2020-2023	15 h	5 <sup>ème</sup> année TC	Montage et participation au cours : audio sur systèmes embarqués (AUD)
2022-2024	30 h	3 <sup>ème</sup> année TC	Création, avec Romain Michon, d’un cours/projet “Traitement du signal pour le son” pour tous les étudiant de 3TC dans le cadre de la nouvelle réforme TC.
2025	30 h	5 <sup>ème</sup> année TC	Montage avec Pierre Cochard d’un cours d’introduction à Rust.
2025	30 h	M2 ENS-Lyon	Proposition du cours AUD pour les étudiant de l’ENS-Lyon.

TABLE A.6 – Enseignements à Lyon en tant que professeur à l’Insa de Lyon (2018-2024)

## ANNEXE B : LISTE COMPLÈTE DES PUBLICATIONS

La plupart des articles récents sont accessibles via ma page web :  
<http://perso.citi.insa-lyon.fr/trisset/papers>

### Thèses et habilitations

- [1] **Risset, T.**, *Contribution à la compilation de nids de boucles sur silicium*, Thèse d'habilitation à diriger des recherches, Université de Rennes 1, octobre 2000.
- [2] **Risset, T.**, *Parallélisation automatique : du modèle systolique à la compilation de nids de boucles*, Thèse de doctorat, ENS-Lyon, février 1994.

### Chapitres de livre

- [3] **T. Risset**, *Encyclopedia of Parallel Computing*, Springer, 2011, ch. System on Chip, p. 412–413.
- [4] **T. Risset**, R. BEN ABDALLAH, A. FRABOULET, J. MARTIN, *Digital Front-End in Wireless Communication and Broadcasting*, Cambridge University Press, 2011, ch. Programming Models and Implementation Platforms for Software Defined Radio Configuration.
- [5] M. GAUTIER, G. VILLEMAUD, C. LÉVY-BENCHETON, D. NOGUET, **T. Risset**, *Digital Front-End in Wireless Communication and Broadcasting*, Cambridge University Press, 2011, ch. Cross-layer design and digital front-end for cognitive wireless link.
- [6] A. SCHERRER, A. FRABOULET, **T. Risset**, *Networks-on-Chips : Theory and Practice*, CRC Press, 2008, ch. 4 : On-chip Processor Traffic Modeling for NoC Design.
- [7] S. DERRIEN, S. RAJOPADHYE, P. QUINTON, **T. Risset**, *High-Level Synthesis : From Algorithm to Digital Circuit*, Spinger, 2008, ch. 12 : High-Level Synthesis of Loops Using the Polyhedral Model.
- [8] F. DE DINECHIN, **Risset, T.**, M. MANJUNATHAIAH, M. SPIVEY, *System Specification and Design Languages (best of FDL'02)*, Kluwer, 2003, ch. Design of highly parallel architectures with Alpha and Handel, p. 293–304.
- [9] S. DERRIEN, A. C. GUILLOU, P. QUINTON, **Risset, T.**, C. WAGNER, *Domain-Specific Embedded Multi-processors*, Marcel Dekker, 2003, ch. 7 : Automatic Synthesis of Efficient Interfaces for Compiled Regular Architectures, p. 127–150.
- [10] A. DARTE, **Risset, T.**, Y. ROBERT, *Application-Driven Architecture synthesis*, Kluwer Academic Publishers, 1993, ch. 3 : Formal Methods for Solving the Algebraic Path Problem.
- [11] M. DARDAILLON, K. MARQUET, **T. Risset**, J. MARTIN, H.-P. CHARLES, « Cognitive Radio Programming Survey », in : *Handbook of Research on Software-Defined and Cognitive Radio Technologies for Dynamic Spectrum Management*, N. Kaabouch et W.-C. Hu (éditeurs), IGI Global, October 2014.
- [12] T. GAUTIER, P. LE GUERNIC, P. QUINTON, S. RAJOPADHYE, **Risset, T.**, I. SMARANDACHE, « Le projet Cairn : vers la conception d'architectures à partir de Signal et Alpha », in : *Collection Technique et scientifique des Télécommunications*, CNET, 1997.

### Articles dans revues internationales à comité de lecture

- [13] RUSHTON, T., R. MICHON, S. SERAFIN, **Risset, T.**, S. LETZ, « Networked microcontrollers for accessible, distributed spatial audio », *Frontiers in Virtual Reality* 5, novembre 2024.

- [14] G. BERTHOU, T. DELIZY, K. MARQUET, **Risset, T.**, G. SALAGNAC, « Sytare : a Lightweight Kernel for NVRAM-Based Transiently-Powered Systems », *IEEE Transactions on Computers* 68, 9, septembre 2019, p. 1390 – 1403.
- [15] M. VALLERIAN, F. D. HUTU, G. VILLEMAUD, B. MISCOPEIN, **Risset, T.**, « A parallel unbalanced digitization architecture to reduce the dynamic range of multiple signals », *Radio Science*, avril 2016.
- [16] M. DARDAILLON, K. MARQUET, **Risset, T.**, J. MARTIN, H.-P. CHARLES, « A New Compilation Flow for Software-Defined Radio Applications on Heterogeneous MPSoCs », *ACM Transactions on Architecture and Code Optimization* 13, 2, juin 2016, p. 19 :1–19 :25.
- [17] F. D. HUTU, B. ALLARD, F. JUMEL, M. MARANZANA, K. MARQUET, L. MOREL, L. V. PHUNG, **Risset, T.**, D. TOURNIER, G. SALAGNAC, J. VERDIER, « Formation par projet et opportunité d'accès à distance à des ressources pédagogiques », *J3eA - Journal sur l'enseignement des sciences et technologies de l'information et des systèmes* 13, 5, mai 2014, p. 1–10.
- [18] C. T. DJAMENI, P. QUINTON, S. RAJOPADHYE, **T. Risset**, M. TCHUENTE, « A reindexing based approach towards mapping of DAG with affine schedules onto parallel embedded systems », *Journal of Parallel and Distributed Computing*, 2008, To Appear.
- [19] A. SCHERRER, A. FRABOULET, **T. Risset**, « Long-Range Dependence and On-chip Processor Traffic », *Microprocessors and Microsystems*, 2008.
- [20] A. C. GUILLOU, P. QUINTON, **Risset, T.**, « Hardware Synthesis for Systems of Recurrence Equations with Multi-Dimensionnal Schedule », *International Journal of Embedded Systems (IJES)* 3, 4, 2008, p. 271–284.
- [21] A. FRABOULET, **T. Risset**, « Master Interface for On-Chip Hardware Accelerator Burst Communications », *Journal of VLSI Signal Processing* 59, 2007, p. 73–85.
- [22] S. RAJOPADHYE, **Risset, T.**, T. TADONKI, « Le chemin algébrique sur réseaux linéaires », *Technique et Science Informatique* 20, 5, 2001, p. 655–676.
- [23] E. MÉMIN, **Risset, T.**, « VLSI Design Methodology for Edge-Preserving Image Reconstruction », *Real-Time Imaging, Special issue on Fast Energy Minimization-Based Imaging and Vision Techniques*, 2000.
- [24] E. MÉMIN, **Risset, T.**, « On the Study of VLSI Derivation for Optical Flow Estimation », *International Journal of pattern recognition and Artificial Intelligence (IJPRAI)* 14, 4, juin 2000, p. 441–462.
- [25] C. TAYOU DJAMEGNI, P. QUINTON, S. RAJOPADHYE, **Risset, T.**, « Derivation of Systolic Algorithms for the Algebraic Path Problem by Recurrence Transformations », *Parallel Computing* 26, 2000, p. 1429–1445.
- [26] P. QUINTON, S. V. RAJOPADHYE, **Risset, T.**, « On Manipulating Z-polyhedra using a Canonical Representation », *Parallel Processing Letters* 7, 2, June 1997, p. 181–194.
- [27] M. DION, **Risset, T.**, Y. ROBERT, « Ressource-Constrained Scheduling of Partitioned Algorithms on Processor Arrays », *Integration the VLSI journal* 20, 1994, p. 139–159.
- [28] P. BOULET, A. DARTE, **Risset, T.**, Y. ROBERT, « (Pen)-Ultimate Tiling? », *Integration, the VLSI journal* 17, 1993.
- [29] J. COLLARD, P. FEAUTRIER, **Risset, T.**, « Construction of DO Loops from Systems of Affine Constraints », *Parallel Processing Letters* 5, 1993, p. 421–436.
- [30] **Risset, T.**, Y. ROBERT, « Synthesis of Processor Arrays for the Algebraic Path Problem : Unifying Old Results and Deriving New Architectures », *Parallel Processing Letters* 1, 1991, p. 19–28.
- [31] **Risset, T.**, « Implementing Gaussian Elimination on a Matrix-Matrix Multiplication Systolic Array », *Parallel Computing* 16, 1990, p. 351–359.

## Conférences avec comité de lecture et proceeding

- [32] P. COCHARD, POPOFF, M., R. MICHON, **Risset, T.**, « Programming FPGA Platforms for Real-Time Audio Signal Processing In C++ », in : *Proceedings of the 2024 Sound and Music Computing Conference (SMC-24)*, Porto, Portugal, juillet 2024.
- [33] P. COCHARD, J. WEBER, R. MICHON, **Risset, T.**, S. LETZ, « Ethernet Real-time Audio Transmission to FPGA », in : *2024 IEEE 5th International Symposium on the Internet of Sounds (IS2)*, IEEE, p. 1–7, Erlangen, Germany, septembre 2024.

- [34] POPOFF, M., R. MICHON, **Risset, T.**, « Enabling Affordable and Scalable Audio Spatialization With Multichannel Audio Expansion Boards for FPGA », in : *Proceedings of the 2024 Sound and Music Computing Conference (SMC-24)*, Porto, Portugal, juillet 2024.
- [35] R. MICHON, J. SOURICE, V. LAZZARINI, J. TIMONEY, **Risset, T.**, « Towards High Sampling Rate Sound Synthesis On FPGA », in : *Proceedings of the 2023 Digital Audio Effects Conference (DAFx23)*, Aalborg University, Copenhagen, Denmark, septembre 2023.
- [36] R. MICHON, J. BIZIEN, M. POPOFF, **Risset, T.**, « Making Frugal Spatial Audio Systems Using Field-Programmable Gate Arrays », in : *Proceedings of the 2023 New Interfaces for Musical Expression Conference*, Mexico City, Mexico, mai 2023.
- [37] M. POPOFF, R. MICHON, **Risset, T.**, P. COCHARD, S. LETZ, Y. ORLAREY, F. DE DINECHIN, « Audio DSP to FPGA Compilation », in : *International Conference on Application-specific Systems, Architectures and Processors (ASAP 2023)*, IEEE, p. 31–33, Porto, Portugal, juillet 2023.
- [38] P. COCHARD, M. POPOFF, A. FRABOULET, **Risset, T.**, S. LETZ, R. MICHON, « A Programmable Linux-Based FPGA Platform for Audio DSP », in : *Sound and Music Computing Conference*, Royal College of Music and KTH Royal Institute of Technology, Bresin, R., & Falkenberg, K., p. 110–116, Stockholm, Sweden, juin 2023.
- [39] M. POPOFF, R. MICHON, **Risset, T.**, Y. ORLAREY, S. LETZ, « Towards an FPGA-Based Compilation Flow for Ultra-Low Latency Audio Signal Processing », in : *SMC-22 - Sound and Music Computing*, Saint-Étienne, France, juin 2022.
- [40] G. BERTHOU, K. MARQUET, **Risset, T.**, G. SALAGNAC, « MPU-based incremental checkpointing for transiently-powered systems », in : *2020 23rd Euromicro Conference on Digital System Design (DSD)*, IEEE, p. 89–96, Kranj, France, août 2020.
- [41] G. BERTHOU, P.-E. DAGAND, D. DEMANGE, R. OUDIN, **Risset, T.**, « Intermittent Computing with Peripherals, Formally Verified », in : *LCTES '20 - 21st ACM SIGPLAN/SIGBED Conference on Languages, Compilers, and Tools for Embedded Systems*, ACM, p. 85–96, London / Virtual, United Kingdom, juin 2020.
- [42] **Risset, T.**, R. MICHON, Y. ORLAREY, S. LETZ, G. MÜLLER, A. GBADAMOSI, « Faust2FPGA for Ultra-Low Audio Latency : Preliminary work in the Syfala project », in : *IFC 2020 - Second International Faust Conference/International Faust Conference*, p. 1–9, Paris, France, décembre 2020.
- [43] G. BERTHOU, K. MARQUET, **Risset, T.**, G. SALAGNAC, « Accurate Power Consumption Evaluation for Peripherals in Ultra Low-Power embedded systems », in : *2020 Global Internet of Things Summit (GIoTS)*, IEEE, p. 89–96, Dublin, Ireland, juin 2020.
- [44] **Risset, T.**, C. GOURSAUD, X. BRUN, K. MARQUET, F. MEYER, « UWB Ranging for Rapid Movements », in : *IPIN 2018*, p. 1–8, Nantes, France, septembre 2018.
- [45] T. DELIZY, S. GROS, K. MARQUET, M. MOY, **Risset, T.**, G. SALAGNAC, « Quels objets en NVRAM? Placement en mémoires de travail hétérogènes », in : *Compas 2018 - Conférence d'informatique en Parallélisme, Architecture et Système*, p. 1–8, Toulouse, France, juillet 2018.
- [46] G. BERTHOU, T. DELIZY, K. MARQUET, **Risset, T.**, G. SALAGNAC, « Peripheral State Persistence and Interrupt Management For Transiently Powered Systems », in : *NVMW 2018 - 9th Annual Non-Volatile Memories Workshop*, p. 1–2, San Diego, United States, mars 2018.
- [47] T. DELIZY, S. GROS, K. MARQUET, M. MOY, **Risset, T.**, G. SALAGNAC, « Estimating the Impact of Architectural and Software Design Choices on Dynamic Allocation of Heterogeneous Memories », in : *RSP 2018 - 29th International Symposium on Rapid System Prototyping*, p. 1–7, Turin, Italy, octobre 2018.
- [48] G. BERTHOU, T. DELIZY, K. MARQUET, G. SALAGNAC, **Risset, T.**, « Sytare : Persistence de l'état des périphériques pour les systèmes à alimentation intermittente », in : *Compas2017 - Conférence d'informatique en Parallélisme, Architecture et Système*, Sophia-Antipolis, France, juin 2017.
- [49] L. SAMPAIO CARDOSO, O. OUBEJJA, G. VILLEMAUD, **Risset, T.**, J. M. GORCE, « Reliable and Reproducible Radio Experiments in FIT/CorteXlab SDR testbed : Initial Findings », in : *Crowncom*, Lisbon, Portugal, septembre 2017.
- [50] G. BERTHOU, T. DELIZY, K. MARQUET, **Risset, T.**, G. SALAGNAC, « Peripheral state persistence for transiently-powered systems », in : *IoENT 2017 - 1st Workshop on Internet of Energy Neutral Things*, Geneva, Switzerland, juin 2017.

- [51] L. MOREL, M. SELVA, K. MARQUET, C. SAYSSET, **Risset, T.**, « CalMAR -a Multi-Application Dataflow Runtime », in : *Thirteenth ACM International Conference on Embedded Software 2017, EMSOFT2017*, Seoul, South Korea, octobre 2017.
- [52] F. HUTU, G. SALAGNAC, K. MARQUET, **Risset, T.**, « Plateforme de mesure de la consommation énergétique dédiée aux objets communicants », in : *Journées Scientifiques de l'URSI : Energie et Radiosciences*, Rennes, France, mars 2016.
- [53] B. MASSOT, **Risset, T.**, G. MICHELET, E. MCADAMS, « Mixed Hardware and Software Embedded Signal Processing Methods for in-situ Analysis of Cardiac Activity », in : *9th International Joint Conference on Biomedical Engineering Systems and Technologies - Smart-BIODEV, 4*, Rome, Italy, 2016.
- [54] W. DU, J.-M. GORCE, **Risset, T.**, M. LAUZIER, A. FRABOULET, « Compressive Data Aggregation on Mobile Wireless Sensor Networks for Sensing in Bike Races », in : *European Signal Processing Conference (EUSIPCO 2016)*, European Association for Signal Processing (EURASIP), Budapest, Hungary, août 2016.
- [55] M. VALLÉRIAN, F. HUTU, B. MISCOPEIN, G. VILLEMAUD, **Risset, T.**, « Additive companding implementation to reduce ADC constraints for multiple signals digitization », in : *IEEE International Conference on New Circuits and Systems Conference (NEWCAS)*, Grenoble, France, juin 2015.
- [56] B. MASSOT, **Risset, T.**, G. MICHELET, E. MCADAMS, « A wireless, low-power, smart sensor of cardiac activity for clinical remote monitoring », in : *2015 17th International Conference on E-health Networking, Application and Services (HealthCom) (IEEE Healthcom 2015)*, IEEE, p. 487–493, Boston, United States, novembre 2015.
- [57] M. VALLÉRIAN, G. VILLEMAUD, F. HUTU, B. MISCOPEIN, **Risset, T.**, « A parallel unbalanced digitization architecture to reduce the dynamic range of multiple signals », in : *1st URSI Atlantic Radio Science Conference (URSI AT-RASC), 2015*, *Radio Science Conference (URSI AT-RASC), 2015 1st URSI Atlantic Proceedings*, Gran Canaria, Spain, mai 2015. best student paper finalist.
- [58] G. VILLEMAUD, Z. ZHAN, F. HUTU, **Risset, T.**, J.-M. GORCE, « Study of a Full-Duplex Dual- Band OFDM Transceiver », in : *DUPLO Workshop on Full - Duplex Radios and Systems*, Oulu, Finland, juin 2014.
- [59] M. VALLÉRIAN, G. VILLEMAUD, B. MISCOPEIN, **Risset, T.**, F. HUTU, « SDR for SRD : ADC specifications for reconfigurable gateways in urban sensor networks », in : *IEEE Radio Wireless Symposium*, Newport Beach, États-Unis, janvier 2014.
- [60] M. LAUZIER, A. FRABOULET, J.-M. GORCE, **Risset, T.**, « Live Group Detection for Mobile Wireless Sensor Networks », in : *Ninth International Conference on Body Area Networks*, London, Great Britain, septembre 2014.
- [61] A. MASSOURI, **Risset, T.**, « FPGA-based Implementation of Multiple PHY Layers of IEEE 802.15.4 Targeting SDR Platform », in : *SDR-WInnComm*, Wireless Innovation Forum, Schaumburg, Illinois, États-Unis, 2014.
- [62] M. LAUZIER, A. FRABOULET, J.-M. GORCE, **Risset, T.**, « Distributed Mobile Group Detection Algorithms : Application to Cycling Race », in : *Ninth IEEE Workshop on Practical Issues in Building Sensor Network Applications 2014*, Edmonton, Canada, septembre 2014.
- [63] L. S. CARDOSO, A. MASSOURI, B. GUILLON, P. FERRAND, F. HUTU, G. VILLEMAUD, **Risset, T.**, J.-M. GORCE, « CorteXlab : A Facility for Testing Cognitive Radio Networks in a Reproducible Environment », in : *in Proc. 9th International Conference on Cognitive Radio Oriented Wireless Networks and Communications (CROWNCOM)*, p. 503 – 507, Oulu, Finland, juin 2014.
- [64] M. DARDAILLON, K. MARQUET, **Risset, T.**, J. MARTIN, H.-P. CHARLES, « Contrôle d'application flot de données pour les systèmes sur puces : étude de cas sur la plateforme Magali », in : *ComPAS*, P. Felber, L. Philippe, E. Riviere, A. Tisserand (éditeurs), p. 1 – 12, Neuchâtel, Suisse, avril 2014.
- [65] M. DARDAILLON, K. MARQUET, **Risset, T.**, J. MARTIN, H.-P. CHARLES, « Compilation for heterogeneous SoCs : bridging the gap between software and target-specific mechanisms », in : *workshop on High Performance Energy Efficient Embedded Systems - HIPEAC*, Vienne, Autriche, janvier 2014.
- [66] M. DARDAILLON, K. MARQUET, **Risset, T.**, J. MARTIN, H.-P. CHARLES, « A Compilation Flow for Parametric Dataflow : Programming Model, Scheduling, and Application to Heterogeneous MPSoC », in : *International Conference on Compilers, Architecture and Synthesis for Embedded Systems (CASES)*, New Delhi, India, octobre 2014.
- [67] M. DARDAILLON, K. MARQUET, **Risset, T.**, A. SCHERRER, « Software Defined Radio Architecture Survey for Cognitive Testbeds », in : *Wireless Communications and Mobile Computing Conference (IWCMC), 2012 8th International*, Limassol, Cyprus, septembre 2012.

- [68] G. VILLEMAUD, C. LÉVY-BENCHETON, **Risset, T.**, « Performance Evaluation of Multi-antenna and Multi-mode Relays Using a Network Simulator », *in* : *EUCAP 2012*, Prague, Czech Republic, mars 2012.
- [69] M. DARDAILLON, C. LAURADOUX, **Risset, T.**, « Hardware Implementation of the GPS authentication », *in* : *ReConFig - International Conference on ReConfigurable Computing and FPGAs*, Cancun, Mexico, décembre 2012.
- [70] C. LÉVY-BENCHETON, G. VILLEMAUD, **T. Risset**, « Toward an energy reduction in mobile relays : combining MIMO and multi-mode », *in* : *IFIP Wireless Days*, Niagara Falls, Canada, October 2011.
- [71] C. LÉVY-BENCHETON, D. AMMAR, , G. VILLEMAUD, **T. Risset**, « Multi-mode relay simulations : an energy evaluation on WSNet », *in* : *Proceedings of the IEEE Radio and Wireless Symposium (RWS) 2011*, Phoenix, AZ, USA, January 2011.
- [72] R. BEN ABDALLAH, **T. Risset**, A. FRABOULET, J. MARTIN, « Virtual Machine for Software Defined Radio : Evaluating the Software VM Approach », *in* : *International Conference on Embedded software and systems (ICESS)*, IEEE Computer Society, p. 1970–1977, Bradford, UK, 2010.
- [73] R. BEN ABDALLAH, **T. Risset**, A. FRABOULET, Y. DURAND, « The Radio Virtual Machine : A solution for SDR portability and platform reconfigurability », *in* : *Reconfigurable Architectures Workshop (RAW)*, IEEE Computer Society, p. 1–4, Anchorage, USA, 2009.
- [74] A. PLESCO, **T. Risset**, « Coupling Loop Transformations and High-Level Synthesis », *in* : *Symposium en Architecture de machines (Sympa 2008)*, ACM Press, Fribourg 2008, 2008.
- [75] A. SCHERRER, A. FRABOULET, **T. Risset**, « Long-Range Dependence and On-chip Processor Traffic », *in* : *ReCoSoc : Reconfigurable Communication-centric SoCs*, Montpellier, France, June 2007.
- [76] C. TAYOU DJAMEGNI, P. QUINTON, S. RAJOPADHYE, **Risset, T.**, T. M., « Une approche itérative pour l'allocation des tâches sur réseaux réguliers », *in* : *8ème Colloque Africain sur la Recherche Informatique*, Cotonou, Bénin, 2006.
- [77] A. SCHERRER, A. FRABOULET, **T. Risset**, « A Generic Multi-Phase On-Chip Traffic Generation Environment », *in* : *IEEE 17th International Conference on Application-Specific Systems, Architectures and Processors (ASAP'06)*, Steamboat Springs, Colorado, USA, September 2006.
- [78] A. FRABOULET, A. SCHERRER, **T. Risset**, « Automatic Phase detection for Stochastic On-Chip Traffic Generation », ACM Press, p. 88 – 93, seoul, South Corea, October 2006.
- [79] A. DARTE, S. DERRIEN, **T. Risset**, « Hardware/Software Interface for Multi-Dimensional Processor Arrays », *in* : *IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP)*, IEEE Computer Society Press, p. 28–35, 2005.
- [80] A. SCHERRER, **T. Risset**, A. FRABOULET, « Hardware Wrapper Classification and Requirements for On-Chip Interconnects », *in* : *Signaux, Circuits et Systèmes 2004*, p. 31–34, Monastir, Tunisie, March 2004.
- [81] A. FRABOULET, **T. Risset**, « Efficient On-Chip Communications for Data-Flow IPs », *in* : *Application Specific Array Processors (ASAP'04)*, IEEE Computer Society Press, p. 293–303, 2004.
- [82] A. SCHERRER, A. FRABOULET, **T. Risset**, « Cycle Accurate Simulation Model Generation for SoC Prototyping », *in* : *Computer Systems : Architecture, Modeling, and Simulation (SAMOS 2004)*, A. D. Pimentel, S. Vassiliadis (éditeurs), LNCS, 3133, Springer Verlag, p. 453–462, July 2004.
- [83] A. FRABOULET, **T. Risset**, A. SCHERRER, « Cycle Accurate Simulation Model Generation for SoC Prototyping », *in* : *SAMOS*, p. 453–462, 2004.
- [84] A. C. GUILLOU, P. QUINTON, **Risset, T.**, « Hardware Synthesis for Multi-Dimensionnal Time », *in* : *IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP 2003)*, The Hague, The Netherlands, juin 2003.
- [85] F. DUPONT DE DINECHIN, M. MANJUNATHAIAH, **Risset, T.**, M. SPIVEY, « Design of Highly Parallel Architectures with Alpha and Handel », *in* : *Forum on Specification & Design Languages (FDL 2002)*, Marseille, septembre 2002.
- [86] D. CACHERA, **Risset, T.**, « Advances in Bit Width Selection Methodology », *in* : *IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP 2002)*, San Jose, California, juillet 2002.
- [87] M. MANJUNATHAIAH, G. M. MEGSON, **Risset, T.**, S. RAJOPADHYE, « Uniformization of Affine Dependence Programs for Parallel Embedded System Design », *in* : *International Conference on Parallel Processing*, L. Ni, M. Valero (éditeurs), p. 205–213, Valencia, Spain, 2001.

- [88] P. QUINTON, **Risset, T.**, « Structured Scheduling of Recurrence Equations : Theory and Practice », in : *Proc. of the System Architecture MODelling and Simulation Workshop, Lecture Notes in Computer Science, 2268*, Springer Verlag, p. 112–134, Samos, Greece, 2001.
- [89] D. CACHERA, P. QUINTON, S. RAJOPADHYE, **Risset, T.**, « Proving Properties of Multidimensional Recurrences with Application to Regular Parallel Algorithms », in : *6th International Workshop on Formal Methods for Parallel Programming : Theory and Applications (FMPPTA)*, San Francisco, avril 2001.
- [90] A.-C. GUILLOU, F. QUILLERÉ, P. QUINTON, S. RAJOPADHYE, **Risset, T.**, « Hardware Design Methodology with the Alpha Language », in : *FDL'01*, Lyon, France, septembre 2001.
- [91] S. DERRIEN, **Risset, T.**, « Interfacing compiled FPGA programs : the MMAlpha approach », in : *PDPTA2000 : Second International Workshop on Engineering of Reconfigurable Hardware/Software Objects*, A. Arabnia (éditeur), CSREA Press, juin 2000.
- [92] A. GUILLOU, P. QUINTON, **Risset, T.**, « Automatic Design of VLSI Pipelined LMS Architectures », in : *2000 IEEE Canadian Conference on Electrical & Computer Engineering*, Trois Rivières, Canada, août 2000.
- [93] **Risset, T.**, Y. SAOUTER, « Synthèse de haut niveau d'un co-processeur pour le calcul des bases de Grobner », in : *5eme Symposium en architecture nouvelles de machines (Sympa'5)*, Rennes, Jun 1999.
- [94] A. MOZIPO, D. MASSICOTE, P. QUINTON, **Risset, T.**, « A Parallel Architecture for Adaptative Channel Equalization Based On Kalman Filter Using MMAlpha », in : *1999 IEEE Canadian Conference on Electrical & Computer Engineering*, 1999.
- [95] E. MÉMIN, **Risset, T.**, « Full Alternate Jacobi Minimization and VLSI Derivation of Hardware for Motion Estimation », in : *Int. Workshop on Parallel Image Processing and Analysis, IWPIPA'99*, Madras, India, janvier 1999.
- [96] S. RAJOPADHYE, **Risset, T.**, C. TADONKI, « The Algebraic Path Problem Revisited », in : *Fifth International Euro-Par Conference*, p. 698–707, Toulouse, France, août 1999.
- [97] S. BALEV, P. QUINTON, S. V. RAJOPADHYE, **Risset, T.**, « Linear Programming Models for Scheduling Systems of Affine Recurrence Equations – a Comparative Study – », in : *10th ACM Symposium on Parallel Algorithms and Architectures (SPAA)*, 1998.
- [98] C. TAYOU DJAMEGNI, P. QUINTON, S. RAJOPADHYE, **Risset, T.**, « Derivation Of Systolic Algorithms For The Algebraic Path Problem By Recurrence Transformations », in : *4ème Colloque Africain sur la Recherche Informatique*, Presse Universitaire de Dakar, p. 551,564, Dakar, Sénégal, octobre 1998.
- [99] A. MOZIPO, D. MASSICOTTE, P. QUINTON, **Risset, T.**, « Automatic Synthesis of a Parallel Architecture for Kalman Filtering using MMAlpha », in : *International Conference on Parallel Computing in Electrical Engineering (PARELEC 98)*, p. 201–206, Bialystok, Poland, septembre 1998.
- [100] F. DUPONT DE DINECHIN, **Risset, T.**, S. ROBERT, « Hierarchical Static Analysis for Improving the Complexity of Linear Algebra Algorithms », in : *International Conference on Parallel Computing (PARCO)*, 1997.
- [101] P. LE MOENNER, L. PERRAUDEAU, S. RAJOPADHYE, **Risset, T.**, P. QUINTON, « Generating Regular Arithmetic Circuits with AlpHard », in : *Massively Parallel Computing Systems (MPCS'96)*, mai 1996.
- [102] P. QUINTON, S. V. RAJOPADHYE, **Risset, T.**, « Extension of the Alpha Language to Recurrences on Sparse Periodic Domains », in : *Int. Conf. on Application Specific Array Processors*, IEEE Computer Society Press, p. 391–401, Chicago, Illinois, 1996.
- [103] F. DUPONT DE DINECHIN, P. QUINTON, **Risset, T.**, « Structuration of the Alpha Language », in : *Massively Parallel Programming Models*, W. Giloi, S. Jahnichen, B. Shriver (éditeurs), IEEE Computer Society Press, p. 18–24, 1995.
- [104] M. DION, **Risset, T.**, Y. ROBERT, « Resource-constrained scheduling of partitioned algorithms on processor arrays », in : *EuroMicro Workshop on Parallel and Distributed Processing*, IEEE Computer Society Press, p. 571–580, 1995.
- [105] P. CALLAND, **Risset, T.**, « Precise Tiling for Uniform Loop Nests », in : *Application Specific Array Processors*, IEEE Computer Society Press, p. 330–337, 1995.
- [106] P. BOULET, A. DARTE, **Risset, T.**, Y. ROBERT, « (Pen)-Ultimate Tiling », in : *Scalable High-Performance Computing Conference*, 1994.
- [107] **Risset, T.**, « Applying Semi-Systolic Techniques to SIMD Programming », in : *Applications in Parallel and Distributed Computing (IFIP Transactions)*, C. Girault (éditeur), North-Holland, p. 103–112, 1994.

- [108] **Risset, T.**, S. SONG, « A Real Time Systolic Algorithm for On-the-fly Hidden Surface Removal », *in* : *Application Specific Array Processors*, IEEE Computer Society Press, p. 238–249, 1993.
- [109] A. DARTE, **Risset, T.**, Y. ROBERT, « Loop Nest Scheduling and Transformations », *in* : *Environments and tools for parallel scientific computing*, North-Holland, p. 309–332, 1993.
- [110] **Risset, T.**, « A Method to Synthesize Modular Systolic Arrays With Local Broadcast Facility », *in* : *Application Specific Array Processors*, IEEE Computer Society Press, p. 415–428, 1992.
- [111] **Risset, T.**, Y. ROBERT, « Uniform but Non-Local DAGs : a Trade-off between Pure Systolic and SIMD Solutions », *in* : *Application Specific Array Processors*, IEEE Computer Society Press, p. 296–308, 1991.
- [112] A. DARTE, Y. ROBERT, **Risset, T.**, « Systolic Systems », *in* : *2nd IEE Int. Specialist Seminar on Parallel Digital Processors*, P. Hargraven (éditeur), *IEEE Conference Publication, 334*, IEEE Press, p. 6–10, 1991.
- [113] A. DARTE, **Risset, T.**, Y. ROBERT, « Synthesizing Systolic Arrays : some Recent Developments », *in* : *Application Specific Array Processors*, IEEE Computer Society Press, p. 372–386, 1991.
- [114] **Risset, T.**, « Linear Systolic Arrays for Matrix Multiplication : Comparisons of Existing Methods and New Results », *in* : *Proc. 2nd Workshop on Algorithms and VLSI parallel architecture*, 1991.

## Rapports de recherche non publiés par ailleurs

- [115] P. COCHARD, J. WEBER, R. MICHON, **Risset, T.**, S. LETZ, « Open Source Ethernet Real-time Audio Transmission to FPGA », *rapport de recherche n°RR-9542*, INRIA, février 2024.
- [116] M. POPOFF, R. MICHON, **Risset, T.**, P. COCHARD, S. LETZ, Y. ORLAREY, F. DE DINECHIN, « Audio DSP to FPGA Compilation : The Syfala Toolchain Approach », *rapport de recherche n°RR-9507*, Univ Lyon, INSA Lyon, Inria, CITI, Grame, Emeraude, mai 2023.
- [117] P.-E. DAGAND, G. BERTHOU, D. DEMANGE, **Risset, T.**, « A Formal Model of Interrupt-based Checkpointing with Peripherals », *Research report*, IRIF ; IRISA ; INSA RENNES, février 2022.
- [118] G. BERTHOU, T. DELIZY, K. MARQUET, **Risset, T.**, G. SALAGNAC, « Peripheral State Persistence For Transiently Powered Systems », *Research Report n°9018*, INRIA, février 2017.
- [119] M. VALLÉRIAN, F. HUTU, G. VILLEMAUD, B. MISCOPEIN, **Risset, T.**, « A study of companding approaches to alleviate the ADC constraints when demodulating multiple signals », *Research Report n°RR-8683*, Inria - Research Centre Grenoble – Rhône-Alpes ; INRIA, février 2015.
- [120] A. SCHERRER, A. FRABOULET, **T. Risset**, « Analysis and Synthesis of Cycle-Accurate On-Chip Traffic with Long-Range Dependence », *rapport de recherche n°2005-53*, LIP, ENS-Lyon, December 2005.
- [121] D. CACHERA, S. RAJOPADHYE, **Risset, T.**, C. TADONKI, « Parallelization of the Algebraic Path Problem on Linear SIMD/SPMD Arrays », *rapport de recherche n°1346*, Irisa, 2000.
- [122] S. NOOKALA, **Risset, T.**, « A Library for Z-polyhedral Operations », *rapport de recherche n°1330*, Irisa, 2000.
- [123] F. BARDOULT, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Synthesis of data-flow interfaces for regular parallel programs », *rapport de recherche n°1260*, Irisa, septembre 1999.
- [124] F. DUPONT DE DINECHIN, P. QUINTON, S. RAJOPADHYE, **Risset, T.**, « First Steps in Alpha », *rapport de recherche n°1244*, Irisa, 1999.
- [125] **Risset, T.**, F. DUPONT DE DINECHIN, S. ROBERT, « Structured Scheduling of Recurrence Equations », *rapport de recherche n°1140*, IRISA, 1997.
- [126] **Risset, T.**, Y. SAOUTER, « A Linear Systolic Array for the Computation of Gröbner Basis », *rapport de recherche n°1069*, Irisa, 1996.

## Divers

- [127] G. BERTHOU, A. CARER, H.-P. CHARLES, S. DERRIEN, K. MARQUET, I. MIRO-PANADES, D. PALA, I. PUAUT, F. RASTELLO, **Risset, T.**, E. ROHOU, G. SALAGNAC, O. SENTIEYS, B. YARAHMADI, « The INRIA ZEP project : NVRAM and Harvesting for Zero Power Computations », NVMW 2018 - 10th Annual Non-Volatile Memories Workshop, mars 2018, Poster.

- [128] A. MASSOURI, L. CARDOSO, B. GUILLON, F. HUTU, G. VILLEMAUD, **Risset, T.**, J.-M. GORCE, « CorteXlab : An Open FPGA-based Facility for Testing SDR & Cognitive Radio Networks in a Reproducible Environment », INFOCOM'2014 Demo/Poster Session, Toronto, Canada, avril 2014.
- [129] R. BEN ABDALLAH, **T. Risset**, A. FRABOULET, J. MARTIN, « Dispositif, chaine et procédé de traitement de données, et programme d'ordinateur correspondant », Patent CEA/Inria, ref : DD11158 ST, juin 2011.
- [130] R. BEN ABDALLAH, **T. Risset**, A. FRABOULET, J. MARTIN, « Implementing a Radio Virtual Machine on the MAGALI chip », Wireless Innovation Forum, juin 2010.
- [131] P. QUINTON, **T. Risset**, « Designing Parallel Programs and Integrated Circuits », 8th International Mathematics Symposium (IMS'06), juin 2006.
- [132] D. CACHERA, S. RAJOPADHYE, **Risset, T.**, C. TADONKI, « A Coarse Grain Algorithm for the Algebraic Path Problem and its Optimal Parallelization », 2005, Submitted to Algorithmica Special Issue on Coarse Grained Parallel Algorithms.
- [133] A. SCHERRER, A. FRABOULET, **Risset, T.**, « Hardware-Software Fast and Accurate Prototyping with Soclib & MMAAlpha », University Booth Demonstration, in : *Design, Automation and Test in Europe (DATE)*, février 2004, University booth stand.
- [134] A. GUILLOU, P. QUINTON, **Risset, T.**, C. WAGNER, D. MASSICOTTE, « High Level Design of Digital Filters in Mobile Communications », DATE Design Contest 2001, mars 2001, Second place.
- [135] P. QUINTON, **Risset, T.**, « MMAAlpha : a toolbox for silicon compilation », University Booth Demonstration, in : *Design, Automation and Test in Europe (DATE)*, mars 2000, University booth stand.

## ANNEXE B : DIRECTIONS DE THÈSES

### C.1 Encadrement doctoral

J’ai participé à l’encadrement des thèses suivantes :

- **Florent Dupont de Dinechin** (thèse soutenue en 1997, encadrement à 40%)  
Florent a été recruté en 1998 comme maître de conférence à l’ENS-Lyon, il a ensuite été recruté comme professeur à l’Insa de Lyon en 2011, il travaille actuellement dans mon équipe Socrate.
  - **Patricia Le Moenner** (thèse soutenue en 1997, encadrement à 30%),  
Patricia a longtemps travaillé chez Motorola à Toulouse, elle s’est aujourd’hui reconverti dans le monde associatif et militant.
  - **Sophie Robert** (thèse soutenue en 1997, encadrement à 50%),  
Sophie travaille à Rennes dans une société de sécurité en informatique.
  - **Anne-Claire Guillou** (thèse soutenue en 2003, encadrement à 50%).  
Anne-Claire travaille dans une entreprise Rennaise d’informatique.
  - **Antoine Scherrer** (thèse soutenue en 2007, encadrement à 50%)  
Antoine Scherrer a d’abord été musicien quelques années puis recruté chez HiKoB au démarrage de la société. Il y a deux ans, il a quitté la société pour devenir le responsable scientifique de l’école numérique créée par la société LDLC à Lyon.
  - **Riadh Ben Abdallah** (thèse soutenue en 2010, encadrement à 50%)  
Riadh a d’abord travaillé pour la société Kalray, puis il est retourné en Tunisie où il est enseignant et a aussi monté sa société de service informatique.
  - **Yang Fei** (thèse soutenue en 2011, encadrement administratif uniquement)  
Yang est reparti travailler en Chine.
  - **Alexandru Plesco** (thèse soutenue en 2010, encadrement à 50%)  
Alexandru est à la tête d’une start-up sur la synthèse de haut niveau, toujours en incubation.
  - **Cedric Lévy-Bencheton** (thèse soutenue en 2011, encadrement à 50%)  
Cédric travaille comme expert pour la commission européenne (pour les appels à projets)
  - **Mickael Dardaillon** (thèse soutenue en 2014, encadrement à 50%)  
Mickael Dardaillon a été recruté dans le département de recherche de National Instrument à Austin (Texas) pour appliquer les résultats de sa thèse sur le logiciel phare de NI : LabView-FPGA
  - **Matthieu Lauzier** (thèse soutenue en 2015, encadrement à 30%)  
Matthieu travaillé à HiKoB pour continuer le travail d’équipement des vélos de courses cycliste entamé en thèse. Suite à la fin d’HiKoB, Matthieu s’est réorienté professionnellement.
  - **Mathieu Vallérian** (thèse soutenue en 2016, encadrement à 30%)  
Mathieu est actuellement en recherche d’emploi.
  - **Tristan Delizy** (thèse soutenue en 2019, encadrement à 40%)  
Tristan est ingénieur en embarqué à Lyon.
  - **Gautier Berthou** (thèse soutenue en 2021, encadrement à 50%)  
Gautier est ingénieur en embarqué/robotique à Lyon.
  - **Maxime Popoff** (thèse soutenue en 2024, encadrement à 50%)  
Maxime a eu un financement “Inria Start-up Studio” pour valoriser ses résultats au sein d’une start-up.
- Je suis actuellement directeur de thèse de Thomas Rushton, grâce à une bourse Inria : Systèmes dis-

tribué de diffusion de son 3D et de Benjamin Quiedeville grâce à une bourse Cifre avec le Grame : auto-différenciation du langage Faust.

J'encadre quasiment chaque année un stagiaire de Master. Ainsi que un ou deux stages Ingénieur Insa en projet de fin d'étude.

## C.2 Jury

Depuis mon HDR j'ai participé aux jurys de thèse suivants :

- Daniel Ménard (Irisa, Dec. 2002), en tant que rapporteur.
- Sylvain Girbald (LRI, Sept. 2005), en tant que rapporteur.
- Lionel Lelong (LTSI, Dec. 2005), en tant que président de jury.
- Madeleine Nyamsi Lonzeu (Irisa, Dec. 2005), en tant que rapporteur.
- Richard Buchmann (LIP6, dec. 2006), en tant que rapporteur.
- Samuel Evain (LabSTICC, Nov. 2006), en tant que rapporteur
- Tariq Ali Omar (TIMC, Juin 2006), en tant que rapporteur.
- Nicolas Hervé (Irisa, Mars 2007), en tant que rapporteur.
- Sébastien Lebeux (LIFL, Dec. 2007), en tant que rapporteur.
- Caaliph Andriamisaina (LabSTCC, Nov. 2008), en tant que président de jury
- Alexandre Chureau (Tima, Nov. 2008), en tant que président de jury.
- Minhaj Ahmad Khan (Prism, Juin 2008), en tant que président de jury.
- Muhammad Rashid (UBO, Nov. 2009), en tant que rapporteur.
- Alexandre Chagoya Garzon (Tima, Dec. 2010), en tant que président.
- Khaled Rahmouni (Tima, Dec. 2010), en tant que rapporteur.
- Joël Porquet (LIP6, Dec. 2010), en tant que rapporteur.
- Adeel Pasha (Irisa, Dec. 2010), en tant que président.
- Sajjad Khawar (Prism, Jan. 2011), en tant que rapporteur.
- Erwan Raffin (Irisa, Juil. 2011), en tant que rapporteur.
- Pierre-Henri Horrein (Tima, Jan. 2012), en tant que rapporteur.
- Antoine Floc'h (Irisa, juin 2012), en tant que président du jury.
- Naem Abbas (Irisa, Juil. 2012), en tant que examinateur.
- Muhammad Mahtab Alam (U. Rennes, fev. 2013), en tant que rapporteur.
- Jair Gonzalez-Pina (Telecom ParisTech, Nice, Mai 2013), en tant que rapporteur.
- Antoine Morvan (U. Rennes, juin 2013), en tant que président du jury.
- Maria Isabel Vergara Gallego (U. Grenoble, Tima, Sep. 2013), en tant que rapporteur.
- Hervé Yviquel (U. Rennes, Lannion, Oct. 2013), en tant que rapporteur.
- Ganda-Stéphane Ouedraogo (U. Rennes, Lannion, Dec 2014), en tant que rapporteur.
- Vagelis Bebelis (U. Grenoble, Fev. 2015), en tant que rapporteur.
- Farouk Mansouri (U. Grenoble, Oct. 2015), en tant que président du jury.
- Andrea Enrici (Telecom-ParisTech, Dec. 2015), en tant que rapporteur.
- Marcos Aurelio Pinto Cunha (U. Grenoble, Jan. 2016) en tant que président du jury.
- Xiguang Wu (CentraleSupélec, Mar. 2016), en tant que rapporteur.
- Shaoyang MEN (U. Nantes, Oct. 2016) en tant que président du jury.
- Clément Le Bas (U. Limoges, Nov. 2017) en tant que président du jury.
- Célestin Matte (U. Lyon, Dec. 2017) en tant que membre local.
- Maxime France-Pillois (U. Grenoble, 2018) en tant que rapporteur.
- Perrin Njoyah Ntafam (U. Grenoble, 2018) en tant que rapporteur.
- Simon Rokicki (U. Rennes, 2018) en tant qu'examinateur.
- Tuyen Phong Truong (U. de Bretagne Occidentale, 2019) en tant que rapporteur.
- Arthur Hugeot (U. de Bourgogne Franche comté, 2019) en tant que rapporteur.
- Florian Arrestier (INSA de Rennes, 2020) en tant que rapporteur.
- Guillaume Patrigeon (U. Montpellier 2021) en tant qu'examinateur.

- Thomas Baumela (U. Grenoble 2021) en tant que rapporteur.
- David Pala (U. Rennes, 2022) en tant que rapporteur.
- Erwan Lenormand (U. Paris-Saclay, 2022) en tant que rapporteur.
- Corentin Lavaud (U. Rennes, 2022) en tant que rapporteur.
- Louis Bonicel (U. Grenoble Alpes, 2022 ) en tant que rapporteur.
- Martin Fouilleul (Sorbonne Université, 2023) en tant que rapporteur.
- Marie Badaroux (U. Grenoble Alpes, 2024 ) en tant que rapporteur.
- Hugo Reymond (U. Rennes, 2024) en tant que rapporteur.
- Arthur Vianès (U. Grenoble Alpes, 2024 ) en tant que président du jury.

J'ai aussi participé aux jurys d'HDR suivant :

- Henri Pierre Charles (Prism, Dec. 2008), en tant que rapporteur.
- Loic Lagadec (UBO, Sep. 2009), en tant que rapporteur.
- Marine Minier (U. Lyon 1, mai 2012), en tant qu'examinateur.
- Matthieu Gautier (U. Rennes, 2019), en tant que président du jury.
- Karol Desnos (U. Rennes, 2024), en tant que rapporteur.
- Romain Michon (U. Lyon, 2024), en tant que référent HDR.

## ANNEXE D : FICHES DE SERVICES

Comme demandées par l'insa, les 4 dernières fiches de service  
2020 - 2021

INSA de Lyon FICHE INDIVIDUELLE DES SERVICES RESTANT A PAYER POUR 2020/2021 Date d'édition: 28/06/2021

RISSET TANGUY  
PROFESSEUR DES UNIVERSITES  
Quotité: 100 % Affectation: TC 100,00

Obligations statutaires:192  
Décharge et réduction de service: 0

<b>RÉFÉRENTIEL EQUIVALENCE HORAIRE</b>		Heures				
REH-DRH-AR.05.01 Encadrement doctoral		DIRECTION DES RESSOURCES HUMAINES				
		Total				
		86				
		86				
<b>CENTRE DES HUMANITÉS</b>		Semestre	CM	TD	TP	PROJET
HUMA-PPH	Projet Personnel en Humanités	2	0	2	0	0
		Total				
		0 2 0 0				
<b>DPT FORMATION INITIALE AUX METIERS D'INGENIEUR</b>		Semestre	CM	TD	TP	PROJET
PC-S1-EVAL-COVID	Evaluations en contexte Covid	1	0	0,25	0	0
		Total				
		0 0,25 0 0				
<b>DPT INFORMATIQUE</b>		Semestre	CM	TD	TP	PROJET
IF-5-PSAT	Projet de Synthèse Scientifique et Technique	1	0	10	0	0
		Total				
		0 10 0 0				
<b>DPT TELECOMMUNICATIONS SERVICES ET USAGES</b>		Semestre	CM	TD	TP	PROJET
TC-3-I-ARC	Architecture	1	6	12	16	0
TC-3-I-CRO	Programmation C	2	2	18	28	0
TC-3-I-PPC	Programmation Parallèle et Concurrente	1	1	12	24	0
TC-3-P-PTIR	Projet d'initiation à la recherche	2	0	0	0	20
TC-4-S-ENT	Stage en entreprise	2	0	8	0	0
TC-5-STA-S10-ENT	Stage en entreprise	2	0	3,5	0	0
		Total				
		9 53,5 68 20				
<b>TELECOMMUNICATIONS SERVICES ET USAGES APPRENTISSAGE</b>		Semestre	CM	TD	TP	PROJET
TCA-3-I-ARC	Architecture	1	6	14	12	0
TCA-3-I-CRO	Programmation C	2	2	18	16	0
TC-5-INF-AUD	Systèmes embarqués pour le traitement du signal audio en temps-réel	1	0	2	16	0
		Total				
		8 34 44 0				

Fiche individuelle

Modification de service dû

Enseignements prévisionnels

Enseignements réalisés

Visualisation des mises en paiement

## Constatation des services réalisés RISSET Tanguy

Intervenant permanent à partir du 01/09/2005  
**Enseignant chercheur**

**Plafonds**

210.2h, 269.8 dispo.

18.2h, 269.8 dispo.

HETD max. par intervenant selon son statut n° 11

HETD complémentaires max. n° 10

### Enseignement

▼ TOUT DÉPLIER
▲ TOUT REPLIER

Composante d'enseignement	Formation	Période	Enseignement	CM	TD	TP	PR		
Z_TCA	TCA-3A	S1	TCA-3-I-ARC - Architecture	6,00	10,00	16,00	0,00	▼	
Z_TCA	TCA-3A	S2	TCA-3-I-CRO - Programmation C	2,00	18,00	16,00	0,00	▼	
Z_TC	TC-3A	S1	TC-3-I-ARC - Architecture	6,00	8,00	44,00	0,00	▼	
Z_TC	TC-3A	S2	TC-3-I-CRO - Programmation C	2,00	14,00	32,00	0,00	▼	
Z_TC	TC-3A	S2	TC-3-P-PTIR - Projet d'initiation à la recherche	0,00	0,00	0,00	5,00	▼	
Z_TC	TC-4A	S2	TC-4-P-PRE2 - Parcours Recherche	0,00	4,00	0,00	0,00	▼	
Z_TC	TC-4A	S2	TC-4-S-ENT - Stage en entreprise	0,00	4,00	0,00	0,00	▼	
Z_TCA	TC-5A	S1	TC-5-INF-PRIJREB - Projet Robotique - Embarqué	0,00	0,00	0,00	4,00	▼	
Z_TC	TC-5A	S2	TC-5-STA-S10-ENT - Stage en entreprise	0,00	15,25	0,00	0,00	▼	
<b>Totaux par type d'intervention :</b>				16,00	73,25	108,00	9,00		
<b>Total des heures de service :</b>							206,25		

▼ TOUT DÉPLIER
▲ TOUT REPLIER

Dernière modification: Le 07/07/2022 à 14:15 par Application OSE

### Référentiel

Structure	Fonction	Commentaires	Heures
<b>Total des heures de référentiel :</b>			0,00

### Totaux HETD

Service Dû	192,00
Service assuré	192,00
Dont enseignements	192,00
Heures complémentaires	18,20
Dont FI	11,55
Dont FA	6,65

Fiche individuelle

Modification de service dû

Enseignements prévisionnels

Enseignements réalisés

Visualisation des mises en paiement

## Constatation des services réalisés RISSET Tanguy

Intervenant permanent à partir du 01/09/2005

**Enseignant chercheur**

### Plafonds

212,79h, 207,21 dispo.

20,79h, 207,21 dispo.

HETD max. par intervenant selon son statut **n°11**

HETD complémentaires max. **n°10**

### Enseignement

Composante d'enseignement	Formation	Période	Enseignement	CM	TD	TP	PR	▼ TOUT DÉPLIER ▲ TOUT REPLIER		
Z_TC	TC-3A	S2	TC-3-I-ARC - Architecture	4,00	6,00	36,00	0,00	▼		
Z_TC	TC-3A	S2	TC-3-I-CRO - Programmation C	2,00	18,00	36,00	0,00	▼		
Z_TC	TC-3A	S2	TC-3-P-PTIR - Projet d'initiation à la recherche	0,00	0,00	0,00	20,00	▼		
Z_TC	TC-3A	S2	TC-3-P-SON - Traitement de Signal pour le Son	4,00	0,00	44,00	0,00	▼		
Z_TC	TC-4A	S2	TC-4-P-PRE2 - Parcours Recherche	0,00	4,00	0,00	0,00	▼		
Z_TC	TC-4A	S2	TC-4-S-ENT - Stage en entreprise	0,00	6,00	0,00	0,00	▼		
Z_TCA	TC-5A	S1	TC-5-INF-AUD - Systèmes embarqués pour le traitement du signal audio en temps-réel	0,00	0,00	16,00	0,00	▼		
Z_TC	TC-5A	S2	TC-5-STA-510-ENT - Stage en entreprise	0,00	13,00	0,00	0,00	▼		
<b>Totaux par type d'intervention :</b>				10,00	47,00	132,00	20,00			
<b>Total des heures de service :</b>							209,00			

Dernière modification: Le 22/06/2023 à 15:30 par Application OSE

### Référentiel

Structure	Fonction	Commentaires	Heures
Z_DRH	Président ou coordinateur de Comité de S	REH-AA.02.01	Prévisionnel Validé : 4,00
<b>Total des heures de référentiel :</b>			<b>Réalisé : 4,00</b>

Dernière modification: Le 13/06/2024 à 14:58 par Application OSE

### Totaux HETD

Service Dû	192,00
Service assuré	192,00
Dont enseignements	192,00
Heures complémentaires	20,79
Dont FI	15,69
Dont FA	1,10
Dont référentiel	4,00

- Fiche individuelle
- Modification de service dû
- Enseignements prévisionnels
- Enseignements réalisés
- Visualisation des mises en paiement

## Constatation des services réalisés RISSET Tanguy

Intervenant permanent à partir du 01/09/2023  
**Enseignant chercheur**

### Plafonds

208,53h, 211,67 disp. HETD max. par intervenant selon son statut **nr 11**  
 76,34h, 211,66 disp. HETD complémentaires max. **nr 18**

### Enseignement

Composante d'enseignement	Formation	Période	Enseignement	CM	TD	TP	PR		
Z_IF	ECHANGES, IF-1A	S1	IF-4-FRJ-ECH10 - Projet de Recherche (10)	0,00	0,00	0,00	10,00	▼	
Z_TCA	TCA-3A	S1	TCA-3-S1-EC-ENT1 - ENT1: découverte de l'entreprise	0,00	2,00	0,00	0,00	▼	
Z_TCA	TC-3A	S1	TC-3-S1-EC-CRO - Programmation C	2,00	18,00	32,00	0,00	▼	
Z_TCA	TC-3A	S2	TC-3-S2-EC-ARC - Architecture	4,00	4,00	28,00	0,00	▼	
Z_TC	TC-3A	S2	TC-3-S2-EC-SON - Traitement de Signal pour le Son	0,00	0,00	40,00	0,00	▼	
Z_TC	TC-4A	S1	TC-4-S1-EC-PRO - Projet Technique	0,00	10,00	0,00	0,00	▼	
Z_TC	TC-4A	S2	TC-4-S2-EC-PRE - Parcours Recherche	0,00	8,00	0,00	0,00	▼	
Z_TC	TC-4A	S2	TC-4-S2-EC-STA-ENT - Stage en entreprise	0,00	4,00	0,00	0,00	▼	
Z_TCA	TC-5A	S1	TC-5-S1-EC-AUD - Systèmes embarqués pour le traitement du signal audio en temps-réel	0,00	0,00	16,00	0,00	▼	
Z_TC	TC-5A	S1	TC-5-S1-EC-STA-ENT - Stage en entreprise (aménagement d'études)	0,00	13,75	0,00	0,00	▼	
<b>Totaux par type d'intervention :</b>				6,00	39,75	116,00	10,00		
<b>Total des heures de service :</b>								191,75	

Dernière modification: Le 26/06/2024 à 09:30 par Application OSE

### Référentiel

Structure	Fonction	Commentaires	Heures
Z_DRH	Président ou coordinateur de Comité de S	REH-AA.02.01	Prévisionnel Validé : 4,00 <b>Réalisé : 4,00</b>
Z_TC	Pilote de projets pédagogiques Internati	REH-AP.03.10	Prévisionnel Validé : 25,00 <b>Réalisé : 25,00</b>
<b>Total des heures de référentiel :</b>			29,00

Dernière modification: Le 13/06/2024 à 14:58 par Application OSE

### Totaux HETD

Service Dû	134,40
Service assuré	134,40
Dont enseignements	134,40
Heures complémentaires	76,33
Dont FI	21,41
Dont FA	25,93
Dont référentiel	29,00