

Tanguy Risset : CV Long 2011

Nom : Risset

Prénom : Tanguy

NUMEN : 10S0527406JAK

Structure du document :

1. Synthèse de la carrière (p 2)
2. Activité scientifique (p 4)
3. Activités pédagogiques (p 8)
4. Responsabilités collectives (p 13)

Annexes :

- A Liste des publications (p 15)
- B Directions de thèses (p 20)

SYNTHÈSE DE LA CARRIÈRE

Nom : Risset Prénom : Tanguy
Date et lieu de naissance : 31/08/1966, Quimper (France)
Nationalité : Française Sexe : M
Adresse postale : CITI, INSA-Lyon Grade : PR2C, 5^{ème} échelon
6, avenue des Arts
69621 Villeurbanne Cedex
N° de téléphone : +33 (0)4 72 43 64 86
Adresse électronique : Tanguy.Risset@insa-lyon.fr
Page Web personnelle : <http://perso.citi.insa-lyon.fr/trisset/>

DIPLÔMES FRANÇAIS OU ÉTRANGERS

Doctorat(s) :

- Doctorat d'université de l'École Normale Supérieure de Lyon et de l'université Claude Bernard – Lyon, 1^{er} février 1994 : « *Parallélisation automatique : du modèle systolique à la compilation de nids de boucles* »

Habilitation à Diriger des Recherches (HDR) :

- Doctorat d'habilitation à diriger des recherches de l'université de Rennes 1, 22 novembre 2000 : « *Contribution à la compilation de nids de boucles sur silicium* »

Autres diplômes (à partir du niveau maîtrise) :

- DEA d'informatique fondamentale de l'ENS Lyon (1990).
- Agrégation de mathématiques (1991)

SITUATION PROFESSIONNELLE ACTUELLE

Je suis actuellement professeur, à l'Insa de Lyon (département Télécommunication, service et usage, section 27). Je suis rattaché au laboratoire Citi de l'Insa de Lyon, membre du projet Inria SWING en cours de création. J'ai accepté, depuis septembre 2009, le poste de directeur adjoint du département Télécommunication, service et usage de l'Insa de Lyon.

FORMATION ET PARCOURS PROFESSIONNEL

ÉTABLISSEMENTS	FONCTIONS ET STATUTS	DATES		OBSERVATIONS
		d'entrée en fonction	de cessation de fonction	
ENS Lyon	Fonctionnaire stagiaire (Normalien, promotion 1987)	sept. 1987	août 1991	thèse : 1991-1994
UJF (Grenoble)	Allocataire moniteur normalien	sept. 1992	sept. 1993	service militaire : 1991-1992
ENS Lyon	Agrégé préparateur	sept. 1993	oct. 1994	
Inria (Irisa, Rennes)	CR Inria	oct. 1994	aou. 2001	
Inria (LIP, Lyon)	CR Inria	sep. 2001	aou. 2005	Création du projet Inria Compsys
Insa-Lyon (CITI, Lyon)	PR2 Insa-Lyon	sep. 2005	–	Directeur adjoint du dept. Télécommunications depuis sept. 2009

Éléments significatifs de la carrière de Tanguy Risset

Recherche La recherche la plus pointue que j'ai effectuée concerne la synthèse de haut niveau et le modèle polyédrique (modélisation des boucles par les polyèdres) lorsque j'étais chargé de recherche Inria à l'Irisa. Mais je pense que ce qui est important aujourd'hui c'est l'expérience que j'ai acquise, en ayant travaillé dans trois laboratoires de pointe (LIP, IRISA et CITI) et en ayant créé une équipe de recherche (projet Inria Compsys). Je publie régulièrement, à un rythme raisonnable (22 articles de journaux ou chapitres de livres aujourd'hui) et je participe régulièrement à l'encadrement doctoral (co-encadrement de 8 thèses soutenues, un doctorant en cours). Ma participation au projet Inria SWING en cours de création me permet de collaborer avec des spécialistes de la radio (sur la radio logicielle), comme avec des spécialistes de cryptographie et de réseaux de capteurs. La pluridisciplinarité (matériel/logiciel) que j'ai toujours recherchée s'exprime bien dans cet environnement. Les résultats obtenus récemment sur la simulation de trafic sur puce avec SocLib (thèse d'Antoine Scherrer) et le prototypage d'une machine virtuelle pour la radio logicielle sur le SoC Magali du Leti (Thèse de Riadh Ben Adballah) sont ceux que je mettrai le plus en avant. Le travail autour de la radio logicielle se place dans un effort coordonné et novateur du laboratoire Citi autour de ce thème qui a notamment mené à la participation de l'équipement d'excellence FIT qui sera financé (environ un million d'Euros) et dans lequel le laboratoire Citi mettra en place une plate forme expérimentale incluant plusieurs nœuds de radio-logicielle.

Enseignement Bien qu'ayant régulièrement enseigné lorsque j'étais CR, j'ai véritablement découvert le métier d'enseignant-chercheur en devenant professeur à l'Insa de Lyon. Parmi les points que je souhaite mettre en avant, je citerai le polycopié que j'ai réalisé pour le cours de compilation de l'ENS-Lyon (niveau L3, toujours utilisé aujourd'hui), et la refonte du cours Algorithmique et Programmation au département Télécommunications de l'Insa (niveau L3), ainsi que mon investissement constant dans l'organisation des Master : que cela soit à l'Irisa, à l'ENS ou à l'Insa. J'ai coordonné la nouvelle habilitation de la filière réseau du Master 2 informatique de Lyon qui sera mise en place en septembre 2011. À l'Insa, je me suis progressivement investi dans des tâches d'administration de l'enseignement plus importantes, jusqu'à accepter le poste de directeur adjoint du département Télécommunications (TC) en septembre dernier. J'ai notamment supervisé une réforme assez importante des cours de 5^{ème} année du cursus TC mise en place en 2010-2011, qui semble être véritablement un succès. Ce poste de directeur adjoint me convient bien actuellement car il m'offre l'opportunité de découvrir la gestion d'une filière d'enseignement supérieur tout en gardant ce qui reste ma motivation principale : la production de nouveaux résultats de recherche et la transmission du savoir à des élèves motivés.

Vie scientifique Une de mes contributions importantes à la vie scientifique a été la création de l'équipe Compsys (projet Inria que j'ai dirigé de 2001 à 2005). Compsys continue à être une équipe reconnue mondialement dans le domaine de la compilation pour systèmes embarqués. J'occupe régulièrement un certain nombre de responsabilités utiles pour la vie du laboratoire Citi (directeur adjoint du Citi en 2007-2008 par exemple). Je participe régulièrement à plusieurs comités de programmes de conférences internationales et à plusieurs jury de thèse chaque année.

Je pense présenter un profil d'enseignant-chercheur à *spectre large*, possédant à la fois un socle théorique solide (en mathématiques en particulier) me permettant de dialoguer avec des théoriciens et un goût affiché pour la recherche appliquée et l'informatique *dure* (compilation, OS, logiciel de base). L'émergence récente des systèmes embarqués rendent ces compétences très utiles dans de nombreux domaines de recherche. Ces compétences se révèlent aussi très demandées en enseignement, autant dans les filières ingénieur de l'Insa que dans les parcours recherche des Master associés ou en formation continue.

ACTIVITÉ DE RECHERCHE

1 Présentation des thématiques de recherche

Mon travail de recherche se situe dans le domaine de la conception des systèmes embarqués, à la frontière entre le logiciel et le matériel. J’ai travaillé à la mise au point de méthodologies automatisables pour la conception de circuits, d’interface ou de de logiciel embarqué.

Depuis ma présence dans la recherche en informatique, j’ai constamment suivi une évolution **vers une recherche plus appliquée et plus proche des technologies** (technologies de conception ou technologies de programmation/compilation). J’ai effectué **quatre longues périodes dans trois laboratoires différents** (tous de très haut niveau) : le LIP à Lyon, l’Irisa à Rennes, le Citi à Lyon. Durant ces années de recherche, j’ai travaillé sur des thématiques citées ci-dessous, toutes ayant **un lien fort avec la conception de systèmes embarqués**. J’ai eu la chance de pouvoir choisir ces laboratoires qui m’ont toujours permis de trouver des compétences liées au traitement du signal et à la micro-électronique dont j’avais besoin pour mener à bien ce projet.

Ces recherches ont, en particulier, mené à la création du projet Inria Compsys dont la thématique de recherche est la compilation pour système embarqué. Je reste aujourd’hui passionné par ce domaine situé entre l’informatique, la micro-électronique et le traitement du signal : la conception de systèmes de calcul embarqués pour les applications de télécommunication et de multimédia. Aujourd’hui, mon laboratoire d’accueil, le Citi, présente de réelles caractéristiques propices à l’émulation inter-disciplinaire.

Mes thématiques de recherches sont listées ci-dessous, je décris un peu plus en détail ma contribution sur chacun de ces points dans ce qui suit.

- Transformations de boucles, parallélisation et réseaux systoliques (Thèse, LIP Lyon)
- Synthèse de haut niveau, conception de circuits, modèle polyédrique (Irisa, Rennes)
- Compilation pour systèmes embarqués (création projet Compsys, LIP)
- Conception/simulation de Systèmes sur puces (Compsys/Ares, LIP/Citi)
- Programmation de réseaux de capteurs (actuellement au Citi)
- Radio Logicielle (actuellement au Citi)
- Programmation de systèmes sur puces (actuellement au Citi)

Mon travail de thèse a débuté avec l’étude de l’algorithmique systolique et des implémentations pouvant en résulter sur une machine parallèle SIMD (Maspar [29, 3, 26]). Rapidement, les liens avec la parallélisation de nids de boucle ont été exploités. J’ai donc, en particulier, étudié le pavage (ou *tiling* [34, 35]) et le modèle polyédrique appliqué à la génération de code [5].

Les résultats de ma thèse, relativement théoriques, m’ont poussé à rechercher un terrain plus propice à une expérimentation effective des techniques polyédriques pour la compilation de circuits. Je l’ai trouvé dans le projet Api de l’Irisa, d’abord sous la direction de Patrice Quinton puis sous la direction de Sanjay Rajopadhye (projet Cosi). Mes travaux se sont centrés sur la synthèse de très haut niveau, c’est à dire incluant la parallélisation, de circuits spécialisés. Ces travaux peuvent être classés en trois catégories : ceux portant sur l’algorithmique systolique [10] ou plus généralement parallèle [13], ceux portant sur le modèle polyédrique [74, 9, 38] et ceux concernant la compilation/parallélisation de circuits [55, 78, 50].

Le système MMAAlpha dont j’ai assuré la maintenance pendant sept ans a servi de plate-forme logicielle à la composante “synthèse de très haut niveau” du projet Api (puis Cosi). Cette plate-forme a permis d’expérimenter une méthodologie de conception de circuits spécialisés à partir de spécifications fonctionnelles de haut niveau (langage Alpha). J’ai étudié toutes les étapes d’une telle compilation : l’uniformisation [55], l’ordonnancement [43], la génération d’une description de niveau transfert de registre puis de code VHDL [39, 78, 15], l’interfaçage des architectures résultantes [8, 49, 19, 59], la simulation et la vérification formelle des architectures [51, 57], et enfin les performances des architectures obtenues pour diverses applications [46,

48, 11, 47]. Grâce à ces efforts, l'outil MMAlpha est maintenant dans le domaine public et a été utilisé hors de l'Irisa (Oxford, Trois-Rivières, Calcutta, Colorado State University, ST-Microelectronics central R&D) et a largement influencé les travaux actuels autour de la compilation de boucle et de synthèse de système (Graphite dans GCC et l'outil Gecos à l'Irisa par exemple). Durant cette période, j'ai aussi assuré la diffusion de la librairie polyédrique Polylib (utilisée actuellement dans de nombreux outils de synthèse de haut niveau académiques) et participé aux avancées théoriques sur le modèle polyédrique [37, 52, 74].

Lors de mon arrivée à Lyon, fin 2001, j'ai mis en place le projet Inria Compsys. L'équipe est aujourd'hui constituée de huit personnes dont quatre permanents. Alain Darté a pris la tête du projet en 2005 lorsque j'ai été recruté à l'Insa. La thématique de Compsys est la compilation pour systèmes de calcul enfouis. L'équipe s'est développée rapidement et nous avons eu de nombreux résultats intéressants grâce à des très bons contacts avec des équipes de ST-Microelectronics et du Leti (Par exemple, le compilateur des DSP ST200 de ST-microelectronics contient des optimisations qui ont été développées lors de collaborations avec Compsys). Cela avait été souligné par les rapporteurs du projet et c'est encore le cas aujourd'hui, Compsys est au niveau mondial une des équipes importantes dans le domaine de la compilation pour systèmes embarqués.

J'ai ensuite fait le choix de postuler sur un poste de professeur à l'Insa de Lyon au sein du département « Télécommunications, services et usages ». Ce recrutement a eu des conséquences importantes sur mon activité de recherche, je me suis engagé à m'orienter vers de nouvelles thématiques de recherche pour que la synthèse de haut niveau reste une spécificité de Compsys. De plus, mon passage à un statut d'enseignant-chercheur a, bien sûr, nécessité une plus grande disponibilité pour l'enseignement et l'administration de l'enseignement. Mon activité de recherche a donc sensiblement diminué. J'ai cependant maintenu mon activité d'encadrement doctoral au même niveau, ce qui me permet de continuer à publier. Cela m'a aussi permis de varier ma culture scientifique et aujourd'hui mes activités de recherche sont beaucoup plus variées.

Depuis mon arrivée à Citi, j'ai beaucoup travaillé sur la simulation de système sur puce (SoC). Les nouvelles techniques de simulation de matériel, basée sur systemC, permettent d'avoir une approche expérimentale sans nécessiter les fameuses salles blanches. J'ai beaucoup travaillé, par exemple, à développer un composant important de la bibliothèque SocLib permettant d'interfacer efficacement des IP flot de donnée au sein de SoC [14]. En collaboration avec Antoine Fraboulet et Antoine Scherrer nous avons étudié le trafic sur puce et montré dans quelles conditions l'autosimilarité présente dans le trafic pouvait poser un problème au moment de l'estimation de performance d'un SoC [57, 76, 62, 63, 16, 22].

Je participe à l'effort global du Citi autour des réseaux de capteurs, bien que n'ayant rien publié à ce jour dans ce domaine, j'ai acquis une compétence importante dans ce domaine (qui m'a permis de dispenser avec A. Fraboulet quatre jours de formation professionnelle aux ingénieurs du CEA LETI en 2009). Cette compétence me permet de collaborer avec la communauté « protocole/réseau » du laboratoire.

J'ai depuis quelques années démarré une activité de recherche autour de la radio logicielle. On désigne par radio logicielle la possibilité de pouvoir reconfigurer facilement les interfaces physiques des dispositifs de communication radio présents dans les systèmes embarqués (téléphones mobiles essentiellement pour l'instant). En collaboration avec le CEA, nous avons étudié la possibilité d'utiliser une machine virtuelle pour la radio logicielle. Nous avons d'abord défini le modèle de programmation sous-jacent et développé un prototype logiciel [67]. Puis nous avons développé une implémentation de ce concept sur le système sur puce Magali développé par le Leti pour répondre à la norme 3GPP/LTE. Ce travail a donné lieu à plusieurs publications [23, 68], un dépôt de brevet en collaboration avec le CEA [82].

Ce travail se retrouve aujourd'hui en première ligne avec le financement de l'équipement d'excellence FIT (Future Internet of Things) dans lequel le laboratoire Citi aura la tâche de mettre en place une plate-forme de prototypage pour la radio logicielle et sera donc une de mes principales directions de recherche dans un futur proche.

2 Publications

Le détail de mes publications est présenté dans la liste complète en annexe. J'ai publié à ce jour **14 articles** de journaux, **8 Chapitres** de livres et **44 conférences internationales** avec comité de lecture. À cela s'ajoute une dizaine de documents non publiés par ailleurs (rapport de recherche ou workshop). Je présente ici rapidement cinq de mes publications parmi les plus significatives.

- [A] P. BOULET, A. DARTE, T. RISSET, Y. ROBERT, « (Pen)-Ultimate Tiling », *in : Scalable High-Performance Computing Conference*, 1994.
- [B] A. C. GUILLOU, P. QUINTON, T. RISSET, « Hardware Synthesis for Systems of Recurrence Equations with Multi-Dimensionnal Schedulegr », *International Journal of Embedded Systems (IJES)* 3, 4, 2008, p. 271–284.
- [C] A. FRABOULET, T. RISSET, « Master Interface for On-Chip Hardware Accelerator Burst Communications », *Journal of VLSI Signal Processing* 59, 2007, p. 73–85.
- [D] A. SCHERRER, A. FRABOULET, T. RISSET, « Long-Range Dependence and On-chip Processor Traffic », *Microprocessors and Microsystems* 33, 1, 2009, p. 72–80.
- [E] R. B. ABDALLAH, T. RISSET, A. FRABOULET, J. MARTIN, « Virtual Machine for Software Defined Radio : Evaluating the Software VM Approach », *in : International Conference on Embedded software and systems (ICESS)*, IEEE Computer Society, p. 1970–1977, Bradford, UK, 2010.

1. La publication [A] est un exemple de succès des recherches autour du modèle polyédrique. Grâce à une analyse fine du problème de *tiling*, nous proposons une solution analytique qui correspond mieux à la situation réelle que les solutions proposées antérieurement. Cet article a beaucoup été cité car il s'attaque à un problème auquel tout programmeur de machine parallèle est confronté.
2. Le travail présenté dans [B] est le résultat de plusieurs années de travail autour du logiciel MMAlpha. Il s'agit de la première extension de la méthode systolique pour synthétiser automatiquement des circuits utilisant des mémoires. La difficulté étant d'étendre la classe d'architecture que l'on sait synthétiser, mais pas trop sans quoi on tombe sur l'ensemble de toutes les architectures possibles et le problème d'optimisation devient trop complexe.
3. La publication [C] intitulée « Master Interface for On-Chip Hardware Accelerator Burst Communications » illustre mon orientation vers la recherche appliquée et se rapprochant du domaine des SoC. L'origine de ce travail sur l'interfaçage de d'IP remonte aux problèmes posés par l'intégration des circuits générés par MMAlpha au sein de puces électroniques. L'interface décrite dans cet article est aujourd'hui intégrée au sein de la bibliothèque SocLib (<http://www.soclib.fr/>) et affiche des performances bien meilleures que les autres type d'interface (interface MWMR ou de type esclave)
4. La publication [D] démontre un résultat important sur le trafic sur puce : elle explique sous quelles conditions la *longue mémoire* (ou, de manière équivalente l'autosimilarité) présente dans les traces de trafic entre processeurs sur une même puce doit être prise en compte lors de l'évaluation de performances par simulation. La prise en compte de l'autosimilarité du trafic a été depuis quelques années pointée comme fondamentale pour le dimensionnement des équipements du réseau Internet. Ce travail fait appel à des notions de statistiques et de traitement du signal non triviales, il a été produit dans le cadre d'une collaboration avec le laboratoire de physique de l'ENS-Lyon.
5. Enfin la publication [E] est un de nos premiers résultats dans le domaine de la radio logicielle : nous avons étudié la possibilité d'utiliser le concept de machine virtuelle pour programmer les protocoles physiques (ou formes d'ondes) des terminaux implémentant la radio logicielle. Ces travaux sont importants car ils sont les premiers à proposer un véritable prototypage sur une plate-forme réelle : le SoC Magali du Leti. Ils ont aussi donné lieu à un dépôt de brevet avec les même personnes impliquées.

3 Encadrement et Animation scientifique

J'ai participé à l'encadrement des thèses soutenues suivantes : Florent Dupont de Dinechin (1997), Patricia Le Moenner (1997), Sophie Robert (1997), Anne Claire Guillou (2003), Antoine Scherrer (2007), Alexandru Plesco (2010), Riadh Ben Abdallah (2010), Fei Yang (2011). Je participe actuellement à l'encadrement d'un doctorant qui devrait soutenir en juin 2011. J'encadre tous les ans des stagiaires de Master et je suis responsable de Master recherche RTS dont la thématique est proche du laboratoire Citi. Cette tâche demande de plus en plus de travail du fait des évolution politico-organisationnelle du milieu académique. J'ai aussi dessiné les contours de la nouvelle habilitation de ce Master qui démarrera en 2011.

Ma plus grosse contribution dans le domaine de la vie scientifique est la **création du projet Inria Compsys** dont j'ai assuré la direction de 2001 à 2005 (<http://www.ens-lyon.fr/LIP/COMPSYS/>). Ce projet est aujourd'hui reconnu comme une des équipes les plus en pointe dans le domaine de la compilation de systèmes embarqués. Je participe à **5 comités de programme** de conférences internationales (SIES, ENICS, ISVLSI, ASAP, SAMOS) et effectue une activité de reviewer régulière. J'ai été directeur adjoint du laboratoire Citi en 2007-2008 pour palier au départ d'Éric Fleury.

4 Valorisation de la recherche et Logiciels

J'ai été le **principal développeur et responsable** de la maintenance du logiciel MMAlpha de 1994 à 2001 (<http://www.irisa.fr/cosi/ALPHA/>). Ce logiciel (40 000 lignes de Mathematica et 25 000 lignes de C) a servi (et sert encore) de support à plusieurs thèses. Durant cette période, j'étais aussi responsable de la maintenance de la librairie polyédrique Polylib (<http://icps.u-strasbg.fr/polylib/>). J'ai participé activement au développement de la bibliothèque SocLib (<http://soclib.lip6.fr/>)

5 Rayonnement

Depuis mon HDR j'ai participé a 18 jury de thèse dont 12 en tant que rapporteur. J'ai aussi rapporté sur deux HDR en 2008 et 2009.

Lors de la conférence DATE 2001 (Design Automation and Test in Europe) nous avons obtenu le second prix du *design contest* [78]. L'article [56] a été retenu parmi les 3 meilleurs papiers de la conférence ASAP 2003 (lors du processus de selection du « best paper »).

ACTIVITÉS PÉDAGOGIQUES

1 Présentation de l'activité d'enseignement

Résumé des cours

Voici un résumé de mon activité d'enseignant, cette activité est présentée en détail page 10, la plupart de ces cours sont référencés sur <http://perso.citi.insa-lyon.fr/trisset/cours/>.

1990-1994 Thésard, \simeq **50h par an** : TP programmation (Pascal), TD algorithmique et graphe.

1994-2001 CR Inria, cours à l'université de Rennes 1, \simeq **60h par an** : Introduction à la programmation (cours, TD, TP), optimisation algorithmique parallèle (DEA), graphes (TD, TP).

2001-2005 CR Inria, cours à l'ENS-Lyon, \simeq **30h par an** : Compilation (M1, cours), Modèle polyédrique (M2), conception de systèmes embarqués (M2).

2005-2011 PR Insa-lyon, cours à l'Insa-lyon, \simeq **220h par an** : Algorithmique est programmation (cours, TD, TP et gestion des intervenants), Système d'exploitation (TD/TP), Réseaux (TD/TP), systèmes embarqués temps réel (cours, TP), Master recherche systèmes embarqués (Cours, TP).

Responsabilités pédagogiques

- co-responsable des Master de Rennes 1, puis du Master de l'ENS-Lyon.
- Depuis 2006 responsable de la filière RTS du Master Mastria d'informatique de Lyon.
- 2006-2009, responsable des projets de fin d'étude du département Télécommunications de l'Insa de Lyon.
- 2008-2009, responsable de la 5^{eme} année du département Télécommunications de l'Insa de Lyon.
- Depuis 2009, **directeur adjoint du département Télécommunications** de l'Insa de Lyon. Le département Télécommunications de l'Insa de Lyon comprend 3 promotions de 75 élèves environs. À ce titre je suis en particulier responsable des tâches suivantes :
 - Les évolutions pédagogique du département en général.
 - La **refonte de la 5^{eme} année** du département Télécommunications avec l'introduction de cours optionnels, mis en place en ce moment.
 - L'introduction d'un retour sur les enseignements fait par les étudiants de manière systématique.
 - La mise en place du supplément au diplôme.

Création de cours

- J'ai totalement réformé le cours de **compilation à l'ENS-Lyon** en 2005, avec la **rédaction d'un Poly complet** utilisant largement le livre « Engineering a Compiler » de Keith D. Cooper et Linda Torczon.
- En 2005, j'ai aussi complètement revue le **cours Algorithmique et programmation** donnée en 3^{eme} année des ingénieurs en formation au département Télécommunications. C'est par ce cours que les futurs ingénieurs apprennent les bases de la programmation (en langage C). Je suis responsable de ce cours important de cette troisième année (5 crédit ECTS) et qui est extrêmement intéressant au niveau pédagogique.
- J'ai monté **plusieurs cours de Master 2** (modèle polyédrique à l'ENS-Lyon, systèmes embarqués à l'Insa de Lyon, Outils pour le travail de chercheur à L'Insa de Lyon) et participé au montage du cours système embarqué temps réel en 5^{eme} année Insa, rassemblant des élèves trois départements : Informatique, Génie électrique et Télécommunication.

- En collaboration avec A. Fraboulet, nous avons mis en place une formation professionnelle sur la programmation de capteurs communicants, et dispensé cette formation de **4 jours complets aux ingénieurs du CEA LETI** en 2009.
- En 2010-2011 j'ai monté avec A. Fraboulet le cours optionnel de 5^{eme} année du département Télécommunication sur les systèmes embarqués (24 Heures Eq. TD). Ce cours propose une introduction à la **programmation de réseaux de capteurs** sur la plate-forme EZ430-RF2500 de Texas Instrument et porte aussi sur la **mise en place d'un système d'exploitation Linux embarqué** sur la plateforme Beagleboard.

Compétences pédagogiques

Il est, à mon avis, très difficile de définir un *bon enseignant*. J'ai découvert grâce au recul pris sur mon travail de recherche, que la réussite de la transmission du savoir dépendait de nombreux critères non techniques comme par exemple, la capacité à faire le lien entre la discipline enseignée et le « monde réel ». Je pense aujourd'hui avoir une bonne compétence pédagogique, du fait des nombreux publics auxquels j'ai eu l'occasion d'enseigner et aussi du fait des compétences scientifiques « fondamentales » que j'ai eu l'occasion de développer lors de mes études et de mon travail de chercheur. Je passe beaucoup d'énergie à préparer des cours et des travaux pratiques, d'une part car j'aime cela et d'autre part car c'est un domaine où je peux *voir* rapidement les résultats de mon travail.

Pour donner un exemple, j'ai introduit, dans le cours de programmation en C des ingénieurs Télécommunications de l'Insa, des méthodes de développement issues de la programmation agile. J'ai ainsi amélioré sensiblement, je pense, les guides donnés aux étudiants pour répondre à cette question difficile : comment écrire du bon code ? Je sais que cette compétence est difficilement quantifiable, mais elle est importante pour moi, je tenais à la mentionner.

2 Détail des enseignements

1990-1994 : doctorant au LIP (Lyon)

Année	Statuts	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
1990-91	Normalien (ENS Lyon)	30 h	Deug, université de Lyon 1	TP de programmation (Pascal)
1991-92	Scientifique du contingent	40 h	Univ. de Toulon	Colles de programmation (Pascal)
1992-93	Moniteur (U. Grenoble 1)	64 h	Deug A1 université de Grenoble 1	Cours et TP de programmation (Pascal)
1993-94	Agrégé préparateur (ENS Lyon)	80 h	Magistère informatique ENS 1 ^{ère} année	TD du cours "Introduction à l'algorithmique" (30 h), TD du cours "Mathématiques pour l'informatique, algèbre et graphes" (16h), TD du cours "Algorithmique avancée" (30h)

TABLE 1 – Enseignements à Lyon et Grenoble (1990-1994)

1994-2005 : CR Inria, à l'Irisa (Rennes) puis au LIP (Lyon)

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
1995-96	40 h	DEUG SM de l'université de Rennes 1	Introduction à la programmation par Mathematica. Création du cours et rédaction du polycopié en collaboration avec P. Quinton, S. Rajopadhye et D. Py, puis enseignement pour l'EMIA (école militaire de Coetquidan).
1996-97	40 h	DEUG SM Rennes 1	Mêmes enseignements qu'en 1995-96 (Mathematica).
1997-98	50 h	DEUG SM et DEA informatique Rennes 1	"Optimisation et Parallélisme (OPPA, création du cours)", plus l'enseignement de Mathematica (40h).
1998-99	70 h	DEUG SM et DEA Rennes 1	"Algorithmique du parallélisme (ALPA création du cours)", module OPPA, plus l'enseignement de Mathematica remanié (50h).
1999-2000	60 h	DEUG SM et DEA Rennes 1	Mêmes enseignements qu'en 1998-99
2000-2001	50 h	DIIC et DEA informatique Rennes 1	TP/TP de graphe en DIIC (formation ingénieur de l'université de Rennes 1, 40h) et module ALPA

TABLE 2 – Enseignements à Rennes en tant que chargé de recherche (1994-2001)

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
2001-2002	24 h	DEA de l'ENS-Lyon	création du cours de DEA intitulé "modèle polyédrique"
2003-2004	30 h	Magistère informatique de l'ENS-Lyon (niveau M1).	du cours de Compilation : Toutes les techniques de base de la compilation depuis la théorie des grammaires jusqu'à la génération d'assembleur en passant par les optimisations de compilation classiques. Refonte complète du cours de Yves Robert. Rédaction complète du polycopié.
2004-2005	30 h	Magistère informatique de l'ENS-Lyon (niveau M1)	Cours de Compilation : refonte de certains TD et mise en place de TP
2004-2005	10 h	Master 2 Mastria filière RTS	création du cours de Master 2 intitulé "Conception de systèmes embarqués complexes " en commun avec Antoine Fraboulet

TABLE 3 – Enseignements à Lyon en tant que chargé de recherche (2001-2005)

2005-2011 : PR2 Citi/Dept. Télécommunications, Insa-Lyon

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
2005-2011	65 h	3 ^{eme} année TC	Responsable du cours Algorithmique et Programmation (AGP) : refonte du cours et du poly, gestion complète (sujets TP/TD, gestion des intervenants)
2005-2010	15 h	3 ^{eme} année TC	Système d'exploitation (SDE) : TD, TP
2007-2009	30 h	3 ^{eme} année TC	Réseau (NET) : TD, TP
2005-2011	20 h	3 ^{eme} année TC	Passport informatique pour les télécommunication (PIT : remise à niveau en informatique pour étudiants TC) : TP
2006-2011	10 h	5 ^{eme} année TC, IF, GE	Cours inter-département : systèmes embarqués temps réel. Environnement de programmation pour plateforme embarquée (carte avec microcontrôleur MSP430), participation à la création du cours , TP et cours.
2005-2011	15 h	4 ^{eme} année TC	interventions diverses : Réseau, Middleware, Vhdl, Gestion de projet...
2005-2011	30 h	5 ^{eme} année TC	Encadrement projet de fin d'étude, tutorat, responsabilité des PFE jusqu'en 2009
2005-2011	10 h	Master 2 Mastria filière RTS	Conception de systèmes embarqués complexes création et gestion du cours
2007-2011	6 h	Master 2 Mastria filière RTS	Responsable du cours "Techniques de base pour le chercheur" : présentation d'exposé, rédaction d'articles création et gestion du cours
2009-2010	24 h	Formation Continue Ingénieur CEA	Programmation MSP430 et réseaux de capteur pour des ingénieurs CEA Leti participation à la création du cours avec A. Fraboulet.
2010-2011	20 h	5 ^{eme} année TC	Cours optionnel sur la programmation de capteurs et de systèmes embarqués plus complexes participation à la création du cours

TABLE 4 – Enseignements à Lyon en tant que professeur à l'Insa de Lyon au département Télécommunications service et usage (2005-2011)

RESPONSABILITÉS COLLECTIVES

1 Direction adjointe de département Télécommunication

Je suis directeur adjoint du département Télécommunication depuis septembre 2009. Le rôle du directeur adjoint est d'animer et coordonner les réflexions pédagogiques pour que la formation reste évolutive. A ce titre, il anime les comités pédagogiques, participe aux réunions de délégués, maintient à jour la maquette de la formation et coordonne la saisie des heures d'enseignements. Il a en charge le suivi du supplément au diplôme, et la mise à jour du descriptif de la formation. Il lui également confié le suivi des relations avec les masters recherche INSA et les conventions associés.

Comme je l'ai mentionné dans la partie sur les activité pédagogique, j'ai notamment supervisé les tâches suivantes : La refonte de la 5^{eme} année, L'introduction d'un retour sur les enseignements fait par les étudiants de manière systématique, La mise en place du supplément au diplôme et de manière plus continue le suivi de la pédagogie au sein de département en lien avec les responsables de domaine (réunions délégués, réunions du comité pédagogique).

2 Responsabilité administratives diverses

- J'ai été pendant un an directeur adjoint du Citi, pour palier au départ d'Eric Fleury. Ce poste ne m'a pas demandé beaucoup de travail car le partage des tâches n'était pas encore finalisé.
- Je suis depuis 2007 responsable du Master RTS, filière réseau du Master Mastria (<http://master-info.univ-lyon1.fr/M2RTS/>). Cette tâche demande beaucoup d'effort car le Master est habilité par nombreux établissement et l'organisation globale est... complexe.
- J'ai aussi rédigé la proposition de la nouvelle mouture de la filière RTS pour le quadriennal et je supervise actuellement sa mise en place pour l'année prochaine.
- Du coup, je suis naturellement correspondant Master RTS pour le laboratoire Citi et le département Télécommunications ainsi que responsable des relations avec le département Télécommunications au Citi.
- J'ai été en 2005-2007 responsable de l'équipe « embarqué » Citi. Cette équipe de cinq permanents à l'époque constituait une des composantes de la structuration informelle du Citi, avant que ne soient créés les deux projets Inria actuels.

3 Gestion de contrat

En tant que chargé de recherche à Rennes, j'ai participé au suivi des contrats suivants (Je n'ai pas gardé les montants des budgets) : Nana2 (projet Esprit BRA, à Lyon puis à Rennes 1995), Asar (projet MENESR 1997), Cairn (contrat Cnet 1997), Portrait (projet Européen Copernicus 1998), Remit et FFF (projets PAI Alliance avec l'Angleterre 1999), Dia (projet de l'université virtuelle francophone), Corcop (projet Cefipra avec l'Inde 2000), Mocat (projet régional 2000). Parmi ces projets, j'étais le responsable principal (du coté du projet Cosi) dans Cairn, Remit et FFF.

Au sein du projet Inria Compsys à Lyon, J'ai participé au montage d'un contrat de type STSI (projet du ministère de l'industrie, budget de l'ordre de 20K€), contrat avec ST-Microelectronics à Grenoble. J'ai démarré une collaboration avec l'équipe Shiva à Crolles dans le cadre du projet Nano2008 (convention entre ST-Microelectronics et l'état, budget de l'ordre de 30K€). J'ai aussi monté le dossier de Compsys dans projet Européen ITEA Martes qui vient de se terminer (budget de 171k€)

Depuis mon arrivé a l'Insa, j'ai monté la participation du projet Ares au projet Minalogic OpenTLM (120 K€ en 2008), projet que nous avons du quitter suite à la defection de notre partenaire privilégié (Thompson Télécommunication). J'ai participé a la plate forme ANR SocLib (111 K€) au titre de l'Insa de Lyon qui s'est terminé en 2010. Enfin, je suis impliqué dans l'équipement d'excellence FIT qui amenera un budget important (environ un million d'Euro) pour le déploiement d'une plate-forme radio logicielle prototype.

ANNEXE 1 : LISTE COMPLÈTE DES PUBLICATIONS

La plupart des articles récents sont accessibles via ma page web :
<http://perso.citi.insa-lyon.fr/trisсет/papers>

Thèses et habilitations

- [1] T. RISSET, *Parallélisation automatique : du modèle systolique à la compilation de nids de boucles*, Thèse de doctorat, ENS-Lyon, février 1994.
- [2] T. RISSET, *Contribution à la compilation de nids de boucles sur silicium*, Thèse d'habilitation à diriger des recherches, Université de Rennes 1, octobre 2000.

Articles et chapitres de livre

- [3] T. RISSET, « Implementing Gaussian Elimination on a Matrix-Matrix Multiplication Systolic Array », *Parallel Computing* 16, 1990, p. 351–359.
- [4] T. RISSET, Y. ROBERT, « Synthesis of Processor Arrays for the Algebraic Path Problem : Unifying Old Results and Deriving New Architectures », *Parallel Processing Letters* 1, 1991, p. 19–28.
- [5] J. COLLARD, P. FEAUTRIER, T. RISSET, « Construction of DO Loops from Systems of Affine Constraints », *Parallel Processing Letters* 5, 1993, p. 421–436.
- [6] P. BOULET, A. DARTE, T. RISSET, Y. ROBERT, « (Pen)-Ultimate Tiling? », *Integration, the VLSI journal* 17, 1993.
- [7] M. DION, T. RISSET, Y. ROBERT, « Ressource-Constrained Scheduling of Partitioned Algorithms on Processor Arrays », *Integration the VLSI journal* 20, 1994, p. 139–159.
- [8] T. GAUTIER, P. LE GUERNIC, P. QUINTON, S. RAJOPADHYE, T. RISSET, I. SMARANDACHE, « Le projet Cairn : vers la conception d'architectures à partir de Signal et Alpha », in : *Collection Technique et scientifique des Télécommunications*, CNET, 1997.
- [9] P. QUINTON, S. V. RAJOPADHYE, T. RISSET, « On Manipulating Z-polyhedra using a Canonical Representation », *Parallel Processing Letters* 7, 2, June 1997, p. 181–194.
- [10] C. TAYOU DJAMEGNI, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Derivation of Systolic Algorithms for the Algebraic Path Problem by Recurrence Transformations », *Parallel Computing* 26, 2000, p. 1429–1445.
- [11] E. MÉMIN, T. RISSET, « On the Study of VLSI Derivation for Optical Flow Estimation », *International Journal of pattern recognition and Artificial Intelligence (IJPRAI)* 14, 4, juin 2000, p. 441–462.
- [12] E. MÉMIN, T. RISSET, « VLSI Design Methodology for Edge-Preserving Image Reconstruction », *Real-Time Imaging, Special issue on Fast Energy Minimization-Based Imaging and Vision Techniques*, 2000, in press.
- [13] S. RAJOPADHYE, T. RISSET, T. TADONKI, « Le chemin algébrique sur réseaux linéaires », *Technique et Science Informatique* 20, 5, 2001, p. 655–676.
- [14] A. FRABOULET, T. RISSET, « Master Interface for On-Chip Hardware Accelerator Burst Communications », *Journal of VLSI Signal Processing* 59, 2007, p. 73–85.
- [15] A. C. GUILLOU, P. QUINTON, T. RISSET, « Hardware Synthesis for Systems of Recurrence Equations with Multi-Dimensionnal Schedule », *International Journal of Embedded Systems (IJES)* 3, 4, 2008, p. 271–284.
- [16] A. SCHERRER, A. FRABOULET, T. RISSET, « Long-Range Dependence and On-chip Processor Traffic », *Microprocessors and Microsystems*, 2008.
- [17] C. T. DJAMENI, P. QUINTON, S. RAJOPADHYE, T. RISSET, M. TCHUENTE, « A reindexing based approach towards mapping of DAG with affine schedules onto parallel embedded systems », *Journal of Parallel and Distributed Computing*, 2008, To Appear.
- [18] A. DARTE, T. RISSET, Y. ROBERT, *Application-Driven Architecture synthesis*, Kluwer Academic Publishers, 1993, ch. 3 : Formal Methods for Solving the Algebraic Path Problem.

- [19] S. DERRIEN, A. C. GUILLOU, P. QUINTON, T. RISSET, C. WAGNER, *Domain-Specific Embedded Multiprocessors*, Marcel Dekker, 2003, ch. 7 : Automatic Synthesis of Efficient Interfaces for Compiled Regular Architectures, p. 127–150.
- [20] F. DE DINECHIN, T. RISSET, M. MANJUNATHAIAH, M. SPIVEY, *System Specification and Design Languages (best of FDL'02)*, Kluwer, 2003, ch. Design of highly parallel architectures with Alpha and Handel, p. 293–304.
- [21] S. DERRIEN, S. RAJOPADHYE, P. QUINTON, T. RISSET, *High-Level Synthesis : From Algorithm to Digital Circuit*, Spinger, 2008, ch. 12 : High-Level Synthesis of Loops Using the Polyhedral Model.
- [22] A. SCHERRER, A. FRABOULET, T. RISSET, *Networks-on-Chips : Theory and Practice*, CRC Press, 2008, ch. 4 : On-chip Processor Traffic Modeling for NoC Design.
- [23] T. RISSET, R. B. ABDALLAH, A. FRABOULET, J. MARTIN, *Digital Front-End in Wireless Communication and Broadcasting*, Cambridge University Press, 2011, ch. Programming Models and Implementation Platforms for Software Defined Radio Configuration, In Press.
- [24] M. GAUTIER, G. VILLEMAUD, C. LÉVY-BENCHETON, D. NOGUET, T. RISSET, *Digital Front-End in Wireless Communication and Broadcasting*, Cambridge University Press, 2011, ch. Cross-layer design and digital front-end for cognitive wireless link, In Press.
- [25] T. RISSET, *Encyclopedia of Parallel Computing*, Springer, 2011, ch. System on Chip, p. 412–413.

Conférences avec comité de lecture

- [26] T. RISSET, « Linear Systolic Arrays for Matrix Multiplication : Comparisons of Existing Methods and New Results », in : *Proc. 2nd Workshop on Algorithms and VLSI parallel architecture*, 1991.
- [27] A. DARTE, T. RISSET, Y. ROBERT, « Synthesizing Systolic Arrays : some Recent Developments », in : *Application Specific Array Processors*, IEEE Computer Society Press, p. 372–386, 1991.
- [28] A. DARTE, Y. ROBERT, T. RISSET, « Systolic Systems », in : *2nd IEE Int. Specialist Seminar on Parallel Digital Processors*, P. Hargraven (éditeur), *IEEE Conference Publication*, 334, IEEE Press, p. 6–10, 1991.
- [29] T. RISSET, Y. ROBERT, « Uniform but Non-Local DAGs : a Trade-off between Pure Systolic and SIMD Solutions », in : *Application Specific Array Processors*, IEEE Computer Society Press, p. 296–308, 1991.
- [30] T. RISSET, « A Method to Synthesize Modular Systolic Arrays With Local Broadcast Facility », in : *Application Specific Array Processors*, IEEE Computer Society Press, p. 415–428, 1992.
- [31] A. DARTE, T. RISSET, Y. ROBERT, « Loop Nest Scheduling and Transformations », in : *Environments and tools for parallel scientific computing*, North-Holland, p. 309–332, 1993.
- [32] T. RISSET, S. SONG, « A Real Time Systolic Algorithm for On-the-fly Hidden Surface Removal », in : *Application Specific Array Processors*, IEEE Computer Society Press, p. 238–249, 1993.
- [33] T. RISSET, « Applying Semi-Systolic Techniques to SIMD Programming », in : *Applications in Parallel and Distributed Computing (IFIP Transactions)*, C. Girault (éditeur), North-Holland, p. 103–112, 1994.
- [34] P. BOULET, A. DARTE, T. RISSET, Y. ROBERT, « (Pen)-Ultimate Tiling », in : *Scalable High-Performance Computing Conference*, 1994.
- [35] P. CALLAND, T. RISSET, « Precise Tiling for Uniform Loop Nests », in : *Application Specific Array Processors*, IEEE Computer Society Press, p. 330–337, 1995.
- [36] M. DION, T. RISSET, Y. ROBERT, « Resource-constrained scheduling of partitioned algorithms on processor arrays », in : *EuroMicro Workshop on Parallel and Distributed Processing*, IEEE Computer Society Press, p. 571–580, 1995.
- [37] F. DUPONT DE DINECHIN, P. QUINTON, T. RISSET, « Structuration of the Alpha Language », in : *Massively Parallel Programming Models*, W. Giloi, S. Jahnichen, B. Shriver (éditeurs), IEEE Computer Society Press, p. 18–24, 1995.
- [38] P. QUINTON, S. V. RAJOPADHYE, T. RISSET, « Extension of the Alpha Language to Recurrences on Sparse Periodic Domains », in : *Int. Conf. on Application Specific Array Processors*, IEEE Computer Society Press, p. 391–401, Chicago, Illinois, 1996.
- [39] P. LE MOENNER, L. PERRAUDEAU, S. RAJOPADHYE, T. RISSET, P. QUINTON, « Generating Regular Arithmetic Circuits with AlpHard », in : *Massively Parallel Computing Systems (MPCS'96)*, mai 1996.

- [40] F. DUPONT DE DINECHIN, T. RISSET, S. ROBERT, « Hierarchical Static Analysis for Improving the Complexity of Linear Algebra Algorithms », *in : International Conference on Parallel Computing (PARCO)*, 1997.
- [41] A. MOZIPO, D. MASSICOTTE, P. QUINTON, T. RISSET, « Automatic Synthesis of a Parallel Architecture for Kalman Filtering using MMAAlpha », *in : International Conference on Parallel Computing in Electrical Engineering (PARELEC 98)*, p. 201–206, Bialystok, Poland, septembre 1998.
- [42] C. TAYOU DJAMEGNI, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Derivation Of Systolic Algorithms For The Algebraic Path Problem By Recurrence Transformations », *in : 4ème Colloque Africain sur la Recherche Informatique*, Presse Universitaire de Dakar, p. 551,564, Dakar, Sénégal, octobre 1998.
- [43] S. BALEV, P. QUINTON, S. V. RAJOPADHYE, T. RISSET, « Linear Programming Models for Scheduling Systems of Affine Recurrence Equations – a Comparative Study – », *in : 10th ACM Symposium on Parallel Algorithms and Architectures (SPAA)*, 1998.
- [44] S. RAJOPADHYE, T. RISSET, C. TADONKI, « The Algebraic Path Problem Revisited », *in : Fifth International Euro-Par Conference*, p. 698–707, Toulouse, France, août 1999.
- [45] E. MÉMIN, T. RISSET, « Full Alternate Jacobi Minimization and VLSI Derivation of Hardware for Motion Estimation », *in : Int. Workshop on Parallel Image Processing and Analysis, IWPIPA'99*, Madras, India, janvier 1999.
- [46] A. MOZIPO, D. MASSICOTE, P. QUINTON, T. RISSET, « A Parallel Architecture for Adaptative Channel Equalization Based On Kalman Filter Using MMAAlpha », *in : 1999 IEEE Canadian Conference on Electrical & Computer Engineering*, 1999.
- [47] T. RISSET, Y. SAOUTER, « Synthèse de haut niveau d'un co-processeur pour le calcul des bases de Grobner », *in : 5eme Symposium en architecture nouvelles de machines (Sympa'5)*, Rennes, Jun 1999.
- [48] A. GUILLOU, P. QUINTON, T. RISSET, « Automatic Design of VLSI Pipelined LMS Architectures », *in : 2000 IEEE Canadian Conference on Electrical & Computer Engineering*, Trois Rivières, Canada, août 2000.
- [49] S. DERRIEN, T. RISSET, « Interfacing compiled FPGA programs : the MMAAlpha approach », *in : PDPTA2000 : Second International Workshop on Engineering of Reconfigurable Hardware/Software Objects*, A. Arabia (éditeur), CSREA Press, juin 2000.
- [50] A.-C. GUILLOU, F. QUILLERÉ, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Hardware Design Methodology with the Alpha Language », *in : FDL'01*, Lyon, France, septembre 2001.
- [51] D. CACHERA, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Proving Properties of Multidimensional Recurrences with Application to Regular Parallel Algorithms », *in : 6th International Workshop on Formal Methods for Parallel Programming : Theory and Applications (FMPPTA)*, San Francisco, avril 2001.
- [52] P. QUINTON, T. RISSET, « Structured Scheduling of Recurrence Equations : Theory and Practice », *in : Proc. of the System Architecture MOdelling and Simulation Workshop, Lecture Notes in Computer Science, 2268*, Springer Verlag, p. 112–134, Samos, Greece, 2001.
- [53] M. MANJUNATHAIAH, G. M. MEGSON, T. RISSET, S. RAJOPADHYE, « Uniformization of Affine Dependence Programs for Parallel Embedded System Design », *in : International Conference on Parallel Processing*, L. Ni, M. Valero (éditeurs), p. 205–213, Valencia, Spain, 2001.
- [54] D. CACHERA, T. RISSET, « Advances in Bit Width Selection Methodology », *in : IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP 2002)*, San Jose, California, juillet 2002.
- [55] F. DUPONT DE DINECHIN, M. MANJUNATHAIAH, T. RISSET, M. SPIVEY, « Design of Highly Parallel Architectures with Alpha and Handel », *in : Forum on Specification & Design Languages (FDL 2002)*, Marseille, septembre 2002.
- [56] A. C. GUILLOU, P. QUINTON, T. RISSET, « Hardware Synthesis for Multi-Dimensionnal Time », *in : IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP 2003)*, The Hague, The Netherlands, juin 2003.
- [57] A. SCHERRER, A. FRABOULET, T. RISSET, « Cycle Accurate Simulation Model Generation for SoC Prototyping », *in : Computer Systems : Architecture, Modeling, and Simulation (SAMOS 2004)*, A. D. Pimentel, S. Vassiliadis (éditeurs), LNCS, 3133, Springer Verlag, p. 453–462, July 2004.
- [58] A. FRABOULET, T. RISSET, A. SCHERRER, « Cycle Accurate Simulation Model Generation for SoC Prototyping », *in : SAMOS*, p. 453–462, 2004.

- [59] A. FRABOULET, T. RISSET, « Efficient On-Chip Communications for Data-Flow IPs », *in : Application Specific Array Processors (ASAP'04)*, IEEE Computer Society Press, p. 293–303, 2004.
- [60] A. SCHERRER, T. RISSET, A. FRABOULET, « Hardware Wrapper Classification and Requirements for On-Chip Interconnects », *in : Signaux, Circuits et Systèmes 2004*, p. 31–34, Monastir, Tunisie, March 2004.
- [61] A. DARTE, S. DERRIEN, T. RISSET, « Hardware/Software Interface for Multi-Dimensional Processor Arrays », *in : IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP)*, IEEE Computer Society Press, p. 28–35, 2005.
- [62] A. FRABOULET, A. SCHERRER, T. RISSET, « Automatic Phase detection for Stochastic On-Chip Traffic Generation », ACM Press, p. 88 – 93, seoul, South Korea, October 2006.
- [63] A. SCHERRER, A. FRABOULET, T. RISSET, « A Generic Multi-Phase On-Chip Traffic Generation Environment », *in : IEEE 17th International Conference on Application-Specific Systems, Architectures and Processors (ASAP'06)*, Steamboat Springs, Colorado, USA, September 2006.
- [64] C. TAYOU DJAMEGNI, P. QUINTON, S. RAJOPADHYE, T. RISSET, T. M., « Une approche itérative pour l'allocation des tâches sur réseaux réguliers », *in : 8ème Colloque Africain sur la Recherche Informatique*, Cotonou, Bénin, 2006.
- [65] A. SCHERRER, A. FRABOULET, T. RISSET, « Long-Range Dependence and On-chip Processor Traffic », *in : ReCoSoc : Reconfigurable Communication-centric SoCs*, Montpellier, France, June 2007.
- [66] A. PLESCO, T. RISSET, « Coupling Loop Transformations and High-Level Synthesis », *in : Symposium en Architecture de machines (Sympa 2008)*, ACM Press, Fribourg 2008, 2008.
- [67] R. B. ABDALLAH, T. RISSET, A. FRABOULET, Y. DURAND, « The Radio Virtual Machine : A solution for SDR portability and platform reconfigurability », *in : Reconfigurable Architectures Workshop (RAW)*, IEEE Computer Society, p. 1–4, Anchorage, USA, 2009.
- [68] R. B. ABDALLAH, T. RISSET, A. FRABOULET, J. MARTIN, « Virtual Machine for Software Defined Radio : Evaluating the Software VM Approach », *in : International Conference on Embedded software and systems (ICESS)*, IEEE Computer Society, p. 1970–1977, Bradford, UK, 2010.
- [69] C. LÉVY-BENCHETON, D. AMMAR, , G. VILLEMAUD, T. RISSET, « Multi-mode relay simulations : an energy evaluation on WSNets », *in : Proceedings of the IEEE Radio and Wireless Symposium (RWS) 2011*, Phoenix, AZ, USA, January 2011.

Workshop et Rapports de recherche non publiés par ailleurs

- [70] T. RISSET, Y. SAOUTER, « A Linear Systolic Array for the Computation of Gröbner Basis », *rapport de recherche n°1069*, Irisa, 1996.
- [71] T. RISSET, F. DUPONT DE DINECHIN, S. ROBERT, « Structured Scheduling of Recurrence Equations », *rapport de recherche n°1140*, IRISA, 1997.
- [72] F. DUPONT DE DINECHIN, P. QUINTON, S. RAJOPADHYE, T. RISSET, « First Steps in Alpha », *rapport de recherche n°1244*, Irisa, 1999.
- [73] F. BARDOULT, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Synthesis of data-flow interfaces for regular parallel programs », *rapport de recherche n°1260*, Irisa, septembre 1999.
- [74] S. NOOKALA, T. RISSET, « A Library for Z-polyhedral Operations », *rapport de recherche n°1330*, Irisa, 2000.
- [75] D. CACHERA, S. RAJOPADHYE, T. RISSET, C. TADONKI, « Parallelization of the Algebraic Path Problem on Linear SIMD/SPMD Arrays », *rapport de recherche n°1346*, Irisa, 2000.
- [76] A. SCHERRER, A. FRABOULET, T. RISSET, « Analysis and Synthesis of Cycle-Accurate On-Chip Traffic with Long-Range Dependence », *rapport de recherche n°2005-53*, LIP, ENS-Lyon, December 2005.

Divers

- [77] P. QUINTON, T. RISSET, « MMAAlpha : a toolbox for silicon compilation », University Booth Demonstration, *in : Design, Automation and Test in Europe (DATE)*, mars 2000, University booth stand.
- [78] A. GUILLOU, P. QUINTON, T. RISSET, C. WAGNER, D. MASSICOTTE, « High Level Design of Digital Filters in Mobile Communications », DATE Design Contest 2001, mars 2001, Second place.

- [79] A. SCHERRER, A. FRABOULET, T. RISSET, « Hardware-Software Fast and Accurate Prototyping with Soclib & MMAlpha », University Booth Demonstration, *in : Design, Automation and Test in Europe (DATE)*, février 2004, University booth stand.
- [80] D. CACHERA, S. RAJOPADHYE, T. RISSET, C. TADONKI, « A Coarse Grain Algorithm for the Algebraic Path Problem and its Optimal Parallelization », 2005, Submitted to *Algorithmica* Special Issue on Coarse Grained Parallel Algorithms.
- [81] P. QUINTON, T. RISSET, « Designing Parallel Programs and Integrated Circuits », 8th International Mathematics Symposium (IMS'06), juin 2006.
- [82] R. B. ABDALLAH, T. RISSET, A. FRABOULET, J. MARTIN, « Dispositif, chaîne et procédé de traitement de données, et programme d'ordinateur correspondant », Patent CEA/Inria (France only), number 10 55125, juin 2010.
- [83] R. B. ABDALLAH, T. RISSET, A. FRABOULET, J. MARTIN, « Implementing a Radio Virtual Machine on the MAGALI chip », Wireless Innovation Forum, juin 2010.

ANNEXE 2 : DIRECTIONS DE THÈSES

A Encadrement doctoral

J'ai participé à l'encadrement des thèses suivantes :

- Florent Dupont de Dinechin (thèse soutenue en 1997, encadrement à 40%),
- Patricia Le Moenner (thèse soutenue en 1997, encadrement à 30%),
- Sophie Robert (thèse soutenue en 1997, encadrement à 50%),
- Anne Claire Guillou (thèse soutenue en 2003, encadrement à 50%).
- Antoine Scherrer (thèse soutenue en 2007, encadrement à 50%)
- Riadh Ben Abdallah (thèse soutenue en 2010, encadrement à 50%)
- Yang Fei (thèse soutenue en 2011, encadrement administratif uniquement)
- Alexandru Plesco (thèse soutenue en 2010, encadrement à 50%)

Je suis actuellement directeur de thèse de Cedric Levy-Bencheton (encadrement à 40%), sur le thème de l'optimisation de la consommation électrique dans un environnement de radio logicielle. Soutenance prévue en juin 2011.

J'encadre quasiment chaque année un stagiaire de Master. Ainsi que un ou deux stage Ingénieur Insa en projet de fin d'étude.

B Jury

Depuis mon HDR j'ai participé aux jury de thèse suivants :

- Daniel Ménard (Irisa, Dec. 2002), en temps que rapporteur.
- Sylvain Girbald (LRI, Sept. 2005), en temps que rapporteur.
- Lionel Lelong (LTSI, Dec. 2005), en temps que président de jury.
- Madeleine Nyamsi Lonzemu (Irisa, Dec. 2005), en temps que rapporteur.
- Richard Buchmann (LIP6, dec. 2006), en temps que rapporteur.
- Samuel Evain (LabSTICC, Nov. 2006), en temps que rapporteur
- Tariq Ali Omar (TIMC, Juin 2006), en temps que rapporteur.
- Nicolas Hervé (Irisa, Mars 2007), en temps que rapporteur.
- Sébastien Lebeux (LIFL, Dec. 2007), en temps que rapporteur.
- Caaliph Andriamisaina (LabSTCC, Nov. 2008), en temps que président de jury
- Alexandre Chureau (Tima, Nov. 2008), en temps que président de jury.
- Minhaj Ahmad Khan (Prism, Juin 2008), en temps que président de jury.
- Muhammad Rashid (UBO, Nov. 2009), en temps que rapporteur.
- Alexandre Chagoya Garzon (Tima, Dec. 2010), en temps que président.
- Khaled Rahmouni (Tima, Dec. 2010), en temps que rapporteur.
- Joël Porquet (LIP6, Dec. 2010), en temps que rapporteur.
- Adeel PASHA (Irisa, Dec. 2010), en temps que président.
- Sajjad KHAWAR (Prism, Jan. 2011), en temps que rapporteur.

J'ai aussi participé au jury d'HDR suivant :

- Henri Pierre Charles (Prism, Dec. 2008), en temps que rapporteur.
- Loic Lagadec (UBO, Sep. 2009), en temps que rapporteur.