

Tanguy Risset : Dossier d'avancement de grade (Professeur classe exceptionnelle premier échelon)

Nom d'usage : Risset

Prénom : Tanguy

NUMEN : 10S0527406JAK

Structure du document :

1. Synthèse de la carrière (p 3)
2. Activité pédagogique (p 5)
3. Activité scientifique (p 7)
4. Responsabilités collectives (p 13)

Annexes :

- A Liste des publications (p 15)
- B Directions de thèses(p 23)
- C Détail des enseignements (p 23)

1) SYNTHÈSE DE LA CARRIÈRE DE TANGUY RISSET

Nom : Risset Prénom : Tanguy
 Date et lieu de naissance : 31/08/1966, Quimper (France)
 Nationalité : Française Sexe : M
 Adresse postale : CITI, INSA-Lyon Grade : PR1C, 3^{ème} échelon
 6, avenue des Arts
 69621 Villeurbanne Cedex
 N° de téléphone : +33 (0)4 72 43 64 86
 Adresse électronique : Tanguy.Risset@insa-lyon.fr
 Page Web personnelle : <http://perso.citi.insa-lyon.fr/trisset/>

DIPLÔMES FRANÇAIS OU ÉTRANGERS

Doctorat :

— Doctorat d'université de l'École Normale Supérieure de Lyon et de l'université Claude Bernard – Lyon, 1^{er} février 1994 : « *Parallélisation automatique : du modèle systolique à la compilation de nids de boucles* »

Habilitation à Diriger des Recherches (HDR) :

— Doctorat d'habilitation à diriger des recherches de l'université de Rennes 1, 22 novembre 2000 : « *Contribution à la compilation de nids de boucles sur silicium* »

SITUATION PROFESSIONNELLE ACTUELLE

Je suis actuellement professeur (PR1, titulaire de la PEDR), à l'Insa de Lyon (département Télécommunication, service et usage, section 27). Je suis rattaché au laboratoire CITI de l'Insa de Lyon et dirige le projet Inria Socrate (11 permanents actuellement). Je suis aussi directeur adjoint de la Fédération Informatique de Lyon (FIL, <http://fil.cnrs.fr/>) inaugurée en Janvier 2017

FORMATION ET PARCOURS PROFESSIONNEL

ÉTABLISSEMENTS	FONCTIONS ET STATUTS	DATES		OBSERVATIONS
		d'entrée en fonction	de cessation de fonction	
ENS Lyon	Fonctionnaire stagiaire (Normalien, promotion 1987)	sept. 1987	août 1991	thèse : 1991-1994
UJF (Grenoble)	Allocataire moniteur normalien	sept. 1992	sept. 1993	service militaire : 1991-1992
ENS Lyon	Agrégé préparateur	sept. 1993	oct. 1994	
Inria (Irisa, Rennes)	CR Inria	oct. 1994	aou. 2001	
Inria (LIP, Lyon)	CR Inria	sep. 2001	aou. 2005	Création du projet Inria Compsys
Insa-Lyon (CITI, Lyon)	PR2 Insa-Lyon	sep. 2005	aou. 2011 (PEDR 2008-2012)	Directeur adjoint du dept. Télécommunications 2009-2011
Insa-Lyon (CITI, Lyon)	PR1 Insa-Lyon	sep. 2011	– (PES 2013-2017) (PEDR 2017-)	Montage projet Inria Socrate (création Juillet 2013) Directeur adjoint FIL depuis Janvier 2017

Éléments significatifs de la carrière de Tanguy Risset

Recherche Je travaille aux interfaces entre l’informatique et d’autres domaines connexes comme la micro-électronique, le traitement du signal et les communications numériques. Ma compétence scientifique est centrée autour de la compilation et des systèmes embarqués. J’ai eu la chance de travailler dans trois laboratoires de pointe (LIP, IRISA et CITI) et de créer deux équipes de recherche (le projet Inria Compsys à l’ENS-Lyon et le projet Inria Socrate à l’Insa de Lyon). Je continue à publier régulièrement, activité indispensable pour moi pour continuer à aimer ce métier, et je participe régulièrement à l’encadrement doctoral (co-encadrement de 11 thèses soutenues, deux doctorants en cours).

La pluridisciplinarité (matériel/logiciel) que j’ai toujours recherchée a trouvé un terrain idéal avec la plate-forme FIT/CorteXlab (plate-forme expérimentale pour la radio cognitive) dont je suis co-responsable avec Jean-Marie Gorce. Cet Equipex a eu un impact important pour le site de Lyon. En collaboration avec l’équipe de Grid5000, nous sommes en train de préparer un dossier pour le premier TGIR (Très Grande Infrastructure de Recherche) dédié à l’informatique. J’ai récemment démarré une nouvelle activité de recherche autour de l’étude des nouvelles technologies de mémoires non-volatile (NV-RAM), grâce notamment au financement Inria obtenu pour 4 ans (*Inria Project Lab*) avec plusieurs autres équipes en France.

Enseignement Bien qu’ayant régulièrement enseigné lorsque j’étais chargé de recherche, j’ai véritablement découvert le métier d’enseignant-chercheur en devenant professeur à l’Insa de Lyon. Parmi les points que je mettrai en avant je citerai : le polycopié de mon cours de compilation à l’ENS-Lyon (niveau L3, utilisé plusieurs années par les enseignants suivants), la refonte du cours Algorithmique et Programmation au département Télécommunications (TC) de l’Insa (niveau L3), ma participation, depuis le début de ma carrière, à l’organisation des Masters, que cela soit à l’Irisa, à l’ENS ou à l’Insa ainsi que mon investissement important (depuis plus de 10 ans déjà) dans l’enseignement des systèmes embarqués en 5^{ème} année du département TC à l’Insa-Lyon. Mon intérêt pour les systèmes embarqués et la recherche appliquée répond à un besoin de l’Insa-Lyon, établissement important de formation d’ingénieurs et en particulier du département TC, département très dynamique et s’adaptant rapidement aux nouvelles technologies.

En tant que Professeur, je me suis progressivement investi dans des tâches d’administration de l’enseignement. J’ai été directeur adjoint du département TC pendant 2 ans, jusqu’au montage de l’équipe Socrate, assurant notamment la réforme de la 5^{ème} année TC. J’ai aussi participé à la mise en place de la promotion d’apprentis. Depuis 2016, je suis responsable du parcours (“robotique et embarqué”) de la 5^{ème} année.

Vie scientifique Mes contributions à la vie scientifique ont été la création de l’équipe Compsys (projet Inria que j’ai dirigé de 2001 à 2005 à l’ENS-Lyon), puis la création et la direction de l’équipe Socrate (projet Inria depuis 2013 à l’Insa-Lyon) qui regroupe une trentaine de personnes aujourd’hui (11 permanents). J’ai été directeur adjoint du laboratoire CITI en 2007-2008. Je participe régulièrement à plusieurs comités de programmes de conférences internationales et à plusieurs jury de thèse chaque année. J’ai eu en charge avec Jean-Marie Gorce, depuis 2011, la mise en place et la maintenance de la plate-forme CorteXlab de l’équipex FIT. Depuis février 2016 je suis directeur adjoint de la fédération de laboratoire informatiques de Lyon (FIL) que nous avons, avec le directeur directeur David Coeurjolly, mise en place et inaugurée le 24 Janvier 2017. Cette fédération CNRS regroupe le LIP, le LIRIS et le CITI et illustre un mouvement important de coordination de la recherche en informatique sur Lyon/Saint-Etienne.

Je présente un profil d’enseignant-chercheur à spectre large, possédant à la fois un socle théorique solide (en mathématiques en particulier) me permettant de dialoguer avec des théoriciens mais surtout attiré par la recherche appliquée, l’informatique ”dure” et la pluridisciplinarité (compilation, OS, logiciel de base, traitement du signal, micro-électronique, communication sans fils, IoT).

2) ACTIVITÉE PÉDAGOGIQUE

2.1 Présentation de l'activité d'enseignement

Depuis mon recrutement en tant que professeur d'université à l'Insa de Lyon en 2005, j'ai effectué mes heures de service complet (auparavant, de 1990 à 2014, j'effectuais entre 30 et 60 heures de cours par an). Depuis la rentrée 2015, je bénéficie d'une demi-délégation Inria pour mon implication en tant que chef du projet Inria Socrate.

Résumé des cours

Voici un résumé de mon activité d'enseignant, cette activité est présentée en détail en annexe, page 25, la plupart de ces cours sont référencés sur <http://perso.citi.insa-lyon.fr/trisсет/cours/>.

1990-1994 Thésard, \simeq **50h par an** : TP programmation (Pascal, U. Grenoble L1), TD algorithmique et graphe (ENS-Lyon, L3).

1994-2001 CR Inria, cours à l'université de Rennes 1, \simeq **60h par an** : Introduction à la programmation (cours, TD, TP, U. Rennes L1), optimisation algorithmique parallèle (DEA, U. Rennes M2), graphes (TD, TP, U. Rennes M1).

2001-2005 CR Inria, cours à l'ENS-Lyon, \simeq **30h par an** : Compilation (cours, M1), Modèle polyédrique (M2), conception de systèmes embarqués (M2).

2005-2015 PR Insa-lyon, cours à l'Insa-lyon, \simeq **220h par an** : Algorithmique est programmation (cours, TD, TP et gestion des intervenants, Niveau L3), Système d'exploitation (TD/TP, L3), Réseaux (TD/TP, L3), systèmes embarqués temps réel (cours, TP, M2), Master recherche systèmes embarqués (Cours, TP, M2), Télécommunication et radio logicielle (Cours/TP, M2)

2015- PR Insa-lyon, en demi-délégation à l'Inria, \simeq **100h par an** : Algorithmique est programmation (cours, TD, TP et gestion des intervenants, L3), cours de systèmes embarqué (M2).

Création de cours

- J'ai effectué une refonte complète du cours de **compilation à l'ENS-Lyon** en 2005, avec la **rédaction d'un Poly complet** utilisant largement le livre « Engineering a Compiler » de Keith D. Cooper et Linda Torczon.
- En 2005, j'ai aussi complètement revu le **cours Algorithmique et programmation** donnée en 3^{eme} année des ingénieurs en formation au département Télécommunications. C'est par ce cours que les futurs ingénieurs apprennent les bases de la programmation (en langage C). Je suis responsable de ce cours important de cette troisième année (5 crédit ECTS) et qui est extrêmement intéressant au niveau pédagogique.
- J'ai participé activement au montage **plusieurs cours de niveau Master 2** “modèle polyédrique” à l'ENS-Lyon, et surtout à l'Insa de Lyon : “systèmes embarqués” - cours évoluant régulièrement depuis 2006 -, “Outils pour le travail de chercheur” en Master, “système embarqué temps réel” en option transversale inter-département, “radio logicielle” en 5TC et mise en place de la filière “robotique embarqué” en 5TC.

Concernant les créations de cours niveau M2, mes contributions les plus importantes sont les suivantes :

- En collaboration avec A. Fraboulet, nous avons mis en place une formation professionnelle sur la programmation de capteurs communicants, et dispensé cette formation de **4 jours complets aux ingénieurs du CEA LETI** en 2009.
- En 2010-2011 j'ai monté avec A. Fraboulet le cours optionnel de 5^{ème} année du département Télécommunication sur les systèmes embarqués (24 Heures Eq. TD). Ce cours propose une introduction à la **programmation de réseaux de capteurs** sur la plate-forme EZ430-RF2500 de Texas Instrument et porte aussi sur la **mise en place d'un système d'exploitation Linux embarqué** sur la plateforme Beagleboard, puis raspberryPi.
- En 2013, j'ai monté avec Jean-Marie Gorce et Leonardo Cardoso le cours MAC-TC (Module à la carte Télécommunication) sur la thématique de **la radio-logicielle avec l'environnement GNU-Radio** (32 Heures Eq. TD). Ce cours permet aux étudiants de programmer directement une forme d'onde, par exemple de décoder un signal Zigbee.
- Lors de la dernière réforme de la 5^{ème} année du département TC, j'ai coordonné l'enseignement embarqué, avec l'évolution du cours système embarqué que j'assure seul maintenant et l'arrivée d'un cours de système d'exploitation avancé, cours proposé par Kevin Marquet retiré du cursus du département informatique. Je coordonne maintenant la **filière robotique et embarqué** de la 5TC.

Responsabilités pédagogiques

- 1996-2005 co-responsable des Masters de Rennes 1, puis du Master de l'ENS-Lyon.
- 2006-2012 responsable de la filière RTS du Master Mastria d'informatique de Lyon.
- 2006-2009, responsable des projets de fin d'étude du département Télécommunications de l'Insa de Lyon.
- 2008-2009, responsable de la 5^{ème} année du département Télécommunications de l'Insa de Lyon.
- 2009-2011, directeur adjoint du département Télécommunications de l'Insa de Lyon. Le département Télécommunications de l'Insa de Lyon comprend 3 promotions de 75 élèves environs. j'ai été en particulier responsable des tâches suivantes :
 - Les évolutions pédagogique du département en général.
 - La **refonte de la 5^{ème} année** du département Télécommunications avec l'introduction de cours optionnels, mis en place en ce moment.
 - L'introduction d'un retour sur les enseignements fait par les étudiants de manière systématique.
 - La mise en place du supplément au diplôme.
- 2014-2015, Responsable de la mise en place du parcours recherche dans le cadre de la réforme du département Télécommunication
- 2015-2016, Je coordonne maintenant la filière robotique et embarqué de la 5TC.

Compétences pédagogiques

J'ai découvert, grâce au recul pris sur mon travail de recherche, que la réussite de la transmission du savoir dépendait de nombreux critères non techniques comme par exemple, la capacité à faire le lien entre la discipline enseignée et le « monde réel ». J'ai eu l'occasion d'enseigner à de nombreux publics très différents, c'est une richesse inestimable et non quantifiable. Je passe beaucoup d'énergie à préparer des cours et des travaux pratiques, d'une part car j'aime cela et d'autre part car c'est un domaine où je peux *voir* rapidement les fruits de mon travail.

Pour finir par un exemple concret, j'ai introduit, dans le cours de programmation en C des ingénieurs Télécommunications de l'Insa, des méthodes de développement issues de la programmation agile. J'ai ainsi amélioré sensiblement, je pense, les guides donnés aux étudiants pour répondre à cette question difficile : comment écrire du bon code ?

3) ACTIVITÉ SCIENTIFIQUE

3.1 Présentation synthétique des thématiques de recherche

Mon travail de recherche se situe dans le domaine de la conception des systèmes embarqués, à la frontière entre le logiciel et le matériel. Depuis ma thèse, j'ai constamment suivi une évolution **vers une recherche appliquée et proche des technologies** (technologies de conception de circuits, technologies de programmation/compilation, technologies radio). J'ai effectué **quatre longues périodes dans trois laboratoires différents** (tous de très haut niveau) : le LIP à Lyon, l'Irisa à Rennes, le CITI à Lyon. Durant ces années de recherche, j'ai travaillé sur des thématiques citées ci-dessous, toutes ayant **un lien fort avec la conception de systèmes embarqués**.

Ces recherches ont, en particulier, mené à la création du **projet Inria Compsys** en 2004 dont la thématique de recherche est la compilation pour systèmes embarqués et ensuite au **projet Inria Socrate** en 2013 (Radio Logicielle, en coordination avec la mise en place de l'**Equipex CorteXlab**) dont je suis actuellement responsable. Je reste aujourd'hui passionné par ce domaine situé entre l'informatique, la micro-électronique et le traitement du signal : la conception de systèmes de calcul embarqués pour les applications de télécommunication et de multimédia. Mon laboratoire d'accueil actuel, le CITI, présente les caractéristiques propices à l'émulation interdisciplinaire que je recherche.

Je décris ci-dessous un peu plus en détail mes contributions par grandes thématiques.

3.1.1 Travaux de recherche Avant 2000 (Lyon et Rennes)

Transformations de boucles, parallélisation et réseaux systoliques (Thèse, LIP Lyon) Étude de l'algorithmique systolique avec des implémentations sur la Maspar [92, 29, 95], débouchant sur la parallélisation de nids de boucle (pavage [87, 86]). C'était la naissance du **modèle polyédrique**. J'ai, par exemple, publié avec Paul Feautrier un des premier travail sur la génération de code dans le modèle polyédrique, travail qui reste aujourd'hui ma référence la plus citée [27] (citée plus de 100 fois).

Synthèse de haut niveau, conception de circuits, modèle polyédrique (CR Inria, Irisa, Rennes) Dans le projet Inria Api puis Cosi, j'ai travaillé sur sur le modèle polyédrique [100, 24, 83] et sur son application à la la compilation/parallélisation de circuits [66, 114, 71].

J'ai été pendant ces années là, le principal administrateur du **système MMAalpha**. Cette plate-forme de synthèse de haut niveau a permis d'expérimenter une méthodologie de conception de circuits spécialisés à partir de spécifications fonctionnelles de haut niveau (langage Alpha). J'ai étudié toutes les étapes d'une telle compilation : l'uniformisation [66], l'ordonnancement [78], la génération de code VHDL [82, 114, 18], l'interfaçage des architectures résultantes [13, 72, 10, 62], la vérification formelle des architectures [70, 63], et enfin les performances obtenues [75, 73, 22, 74]. Durant cette période, j'ai aussi assuré le développement et la diffusion de la **bibliothèque polyédrique Polylib** [84, 69, 100].

Ce travail autour du polyédrique est maintenant derrière moi, mais je garde un très bon contact avec cette communauté qui reste très active. L'outil MMAalpha à mené au langage AlphaZ¹ développé actuellement à Colorado State University. Mais surtout, cette expérience a largement influencé les travaux actuels autour de la compilation de boucles et de la synthèse de système : Graphite² dans GCC et l'outil Gecos³ à l'Irisa par exemple.

1. AlphaZ : <http://www.cs.colostate.edu/AlphaZ/wiki/doku.php>

2. Graphite : <https://gcc.gnu.org/wiki/Graphite>

3. Gecos : <http://gecos.gforge.inria.fr/doku/doku.php>

3.1.2 Travaux de recherche Après 2000 (Lyon, CR puis PR)

Compilation pour systèmes embarqués, Systèmes sur puces et réseaux de capteurs (LIP puis CITI, Lyon) Lors de mon arrivée à Lyon, fin 2001, j’ai mis en place le **projet Inria Compsys** que j’ai dirigé jusqu’en 2005. Ce projet Inria a terminé l’an dernier et a été reconnu comme une des meilleures équipes mondiales de compilation. Je me suis alors intéressé à la simulation de systèmes sur puce (SoC) en participant au montage de la bibliothèque SocLib [19, 7, 62, 4], j’ai notamment étudié les réseaux sur puce (NoC) et montré dans quelles conditions l’auto-similarité présente dans le trafic pouvait poser un problème au moment de l’estimation de performance d’un NoC [63, 98, 59, 58, 17, 7].

J’ai ensuite participé à l’effort global du CITI autour des **réseaux de capteurs** (plate-forme Senslab notamment), J’ai travaillé avec Antoine Fraboulet pendant les années 2006-2011 (il avait été recruté dans l’équipe Compsys à cette époque) et j’ai acquis une compétence importante dans ce domaine qui me permet aujourd’hui d’être opérationnel sur la thématique IoT ([43, 41, 40], par exemple). En 2011, Antoine Fraboulet crée avec Guillaume Chelius la société HiKoB (20 personnes aujourd’hui), spécialisée dans la fabrication de réseau de capteurs. Je suis très fier d’avoir participé à l’aventure qui a mené à la création d’HiKoB qui représente un **scénario de valorisation exemplaire** pour la recherche française.

Radio Logicielle (PR, CITI, Lyon) En 2005 J’ai fait le choix de postuler sur un poste de professeur à l’Insa de Lyon au sein du département « Télécommunications, services et usages ». Ce recrutement a eu des conséquences importantes sur mon activité de recherche qui a sensiblement diminuée, mais j’ai pu continuer à publier à un rythme régulier. Ce changement a été très enrichissant et aujourd’hui mes activités de recherche sont beaucoup plus variées.

En collaboration avec le CEA, nous avons étudié comme programmer la puce Magali, dédiée à la norme 3GPP/LTE puis utilisée comme prototype de radio logicielle. Nous avons proposé une machine virtuelle pour la radio logicielle [54]. Ce travail a donné lieu à plusieurs publications [5, 53], un dépôt de brevet en collaboration avec le CEA [109] et a aussi beaucoup compté pour la création du projet Socrate.

On désigne par **radio logicielle** la possibilité de pouvoir reconfigurer facilement les interfaces physiques des dispositifs de communication radio. J’ai proposé la la création du **projet Inria Socrate** fortement lié à l’acceptation de l’**Equipex CorteXlab** (www.cortexlab.fr), plate-forme expérimentale de radio logicielle, dont je partage depuis la responsabilité avec Jean-Marie Gorce depuis 2011. L’équipe Socrate rassemble des chercheurs des communication numériques sans fils et des chercheurs de l’informatique embarqué pour étudier la radio logicielle et la radio cognitive.

Le montage et la gestion de l’équipe Socrate ainsi que le montage de la plateforme CorteXlab ont beaucoup occupé mon temps depuis 2011. CorteXlab a amené des travaux sur l’**implémentation FPGA** de protocole radio [42], ainsi que plusieurs démonstrations de la plate-forme [108, 44, 30]. En parallèle, J’ai continué mon activité avec le CEA sur la radio logicielle d’abord [12, 46, 45, 47] et j’ai collaboré à l’encadrement de deux thèses autour de l’**internet des objets**, l’une sur l’étude de la numérisation large bande dans le cadre du contexte du *smart metering* avec Orange-labs [40, 14, 36, 38], l’autre sur l’équipement de cyclistes par des capteurs HiKoB (mentionnée plus haut [43, 41, 35]), thèse qui a mené à l’équipement de capteurs HiKoB utilisé par les cyclistes du tour de France pour remonter des données affichées lors des retransmissions télévisées

Très récemment, je me suis intéressé, avec la partie “embarquée” de l’équipe Socrate, aux nouvelles technologies de **mémoires non volatiles (NV-RAM)** dans le contexte des capteurs de très basse consommation. Nous avons commencé le développement d’un système logiciel [96, 31, 106] dédié aux systèmes à alimentation intermittente (énergie fournie par *harvesting* et non par batteries), que l’on trouve aujourd’hui dans les smart-card, mais qui vont rapidement de déployer dans le cadre de l’IoT. Nous avons obtenu le financement d’un IPL⁴ (Inria Project Lab) rassemblant plusieurs équipes Inria travaillant sur le sujet et deux labos du CEA, je compte rapidement développer une activité importante sur ce sujet au sein de Socrate et du CITI qui pourrait, éventuellement, mener à la création d’une nouvelle équipe Inria.

4. <https://project.inria.fr/iplzep/>

3.2 Publications

Le détail de mes publications est présenté dans la liste complète en annexe, p 15. J’ai publié à ce jour **15 articles** de journaux, **11 Chapitres** de livres et **66 conférences internationales** avec comité de lecture et un brevet. À cela s’ajoute une vingtaines de documents non publiés par ailleurs (rapport de recherche ou workshop) et un brevet avec le CEA. Je présente ici cinq de mes publications parmi les plus significatives.

- [A] J. COLLARD, P. FEAUTRIER, T. RISSET, « Construction of DO Loops from Systems of Affine Constraints », *Parallel Processing Letters* 5, 1993, p. 421–436.
- [B] A. C. GUILLOU, P. QUINTON, T. RISSET, « Hardware Synthesis for Systems of Recurrence Equations with Multi-Dimensionnal Schedule », *International Journal of Embedded Systems (IJES)* 3, 4, 2008, p. 271–284.
- [C] A. FRABOULET, T. RISSET, « Master Interface for On-Chip Hardware Accelerator Burst Communications », *Journal of VLSI Signal Processing* 59, 2007, p. 73–85.
- [D] M. DARDAILLON, K. MARQUET, T. RISSET, J. MARTIN, H.-P. CHARLES, « A New Compilation Flow for Software-Defined Radio Applications on Heterogeneous MPSoCs », *ACM Transactions on Architecture and Code Optimization* 13, 2016.
- [E] M. VALLERIAN, G. VILLEMAUD, F. HUTU, FLORIN, B. MISCOPEIN, T. RISSET, « A parallel unbalanced digitization architecture to reduce the dynamic range of multiple signals », *Proceedings of Radio Science Conference (URSI AT-RASC), 2015 1st URSI Atlantic*, Gran Canaria, Spain 2015, p. 72–80.

1. La publication [A] est un exemple de succès des recherches autour du modèle polyédrique. Nous avons montré la validité de l’utilisation de la programmation linéaire en nombre entier pour générer une boucle qui parcourt les points à coordonnées entières d’un polyèdre convexe. Cette méthode est très utilisée notamment pour la génération de code après transformation de boucle dans des compilateur optimisant (comme Graphite aujourd’hui intégré à GCC : <https://gcc.gnu.org/wiki/Graphite>). Cet article a été cité plus de 100 fois.
2. Le travail présenté dans [B] est le résultat de plusieurs années de travail autour du logiciel MMAalpha. Il s’agit de la première extension de la méthode systolique pour synthétiser automatiquement des circuits utilisant des mémoires. La difficulté étant d’étendre la classe d’architecture que l’on sait synthétiser, mais pas trop sans quoi on tombe sur l’ensemble de toutes les architectures possibles et le problème d’optimisation devient trop complexe.
3. La publication [C] intitulée « Master Interface for On-Chip Hardware Accelerator Burst Communications » illustre mon orientation vers la recherche appliquée et se rapprochant du domaine des SoC. L’origine de ce travail sur l’interfaçage de d’IP remonte aux problèmes posés par l’intégration des circuits générés par MMAalpha au sein de puces électroniques. L’interface décrite dans cet article a été intégrée au sein de la bibliothèque SocLib (<http://www.soclib.fr/>) et affiche des performances bien meilleures que les autres type d’interface (interface MWMR ou de type esclave)
4. la publication [D] est le résultat de plusieurs années de collaboration avec le CEA dans le domaine de la radio logicielle : nous avons proposé un compilateur prototype pour compiler des formes d’ondes 4G vers la machine dédiée Magali du CEA. Ces travaux font suite à un premier brevet que nous avons déposé avec le CEA ([109]). Ici, nous avons proposé l’utilisation de modèle flot de donnée paramétrique (modèle SPDF) pour exprimer la reconfiguration rapide nécessaire dans les nouveaux protocoles de communication sans fils (4G, LTE-Advanced). Mickael Dardaillon a ensuite été recruté par le centre de recherche de National Instrument à Austin pour transférer ces travaux de thèse dans le logiciel LabView-FPGA.
5. Enfin la publication [E] illustre mon orientation vers une thématique radio appliquée et IoT. En collaboration avec la partie « propagation radio » de Socrate et Orange-labs, nous avons étudié un mécanisme permettant à un puits de numériser une bande large et de récupérer plusieurs signaux simultanément émis par des capteurs (dans des canaux différents) grâce à une deuxième chaîne de

numérisation permettant d'identifier un signal *fort* et de le filtrer simultanément sur la première chaîne afin d'avoir une précision meilleure sur le signal faible. Ce travail a été implémenté sur CorteXlab et est régulièrement utilisé comme démonstrateur.

3.3 Encadrement doctoral et scientifique

Le détail des encadrements et des jurys de thèse est présenté en annexe, p23.

J'ai participé à l'encadrement des thèses soutenues suivantes : Florent Dupont de Dinechin (1997), Patricia Le Moenner (1997), Sophie Robert (1997), Anne Claire Guillou (2003), Antoine Scherrer (2007), Alexandru Plesco (2010), Riadh Ben Abdallah (2010), Fei Yang (2011), Cédric Levy-Bencheon (2011), Mickael Dardaillon (2014), Matthieu Lauzier (2015) et Mathieu Vallerian (2016). Je participe actuellement à l'encadrement de deux doctorants (Tristan Delizy et Gautier Berthou).

J'encadre régulièrement des stagiaires de Master et j'ai été jusqu'en 2012 responsable de Master recherche RTS dont la thématique est proche du laboratoire CITI.

Depuis plusieurs années je participe à l'encadrement d'ingénieurs dans le cadre de la plate-forme CorteXlab, j'ai coordonné les activités d'ingénierie avec Jean-Marie Gorce durant le montage de la plate-forme (3 ingénieurs à plein temps) et je continue, en collaboration avec Leonardo Cardoso, pendant la phase actuelle d'exploitation à coordonner un ingénieur du SED Inria (à 40%) et un ingénieur CDD Inria travaillant sur les FPGA ainsi qu'un ingénieur Insa (à 50%) depuis moins d'un an.

3.4 Diffusion, rayonnement, valorisation et développement Logiciel

Diffusion et Rayonnement

Depuis mon HDR j'ai participé à 31 jury de thèse dont 21 en tant que rapporteur (cf annexe, p 23). J'ai aussi rapporté sur trois HDR.

Lors de la conférence DATE 2001 (Design Automation and Test in Europe) nous avons obtenu le second prix du *design contest* [114]. L'article [65] a été retenu parmi les 3 meilleurs papiers de la conférence ASAP 2003 (lors du processus de sélection du « best paper »).

J'effectue régulièrement des séminaires et conférences invités, présentations moins formelles que les conférences citées dans la bibliographie p 15. À titre d'exemple, voici la liste des conférences invitées que j'ai données depuis 2015 :

- Avril 2015, présentation de CorteXlab au NI-days à Paris.
- Mai 2015, à Thales présentation des activités de recherche de Socrate.
- Juin 2015, présentation de CorteXlab et séjour d'une semaine à l'université de Rutgers (laboratoire Winlab), chez Ivan Seskar, responsable de la plate-forme Orbit.
- Mai 2016, démonstration prévue de CorteXlab au GDR SOC (Malheureusement annulée à cause des grèves de train).
- Juin 2016 "Compilation of Parametric Dataflow Applications for Software-Defined-Radio-Dedicated MPSoCs" aux journées langages du LIP.
- Septembre 2016, exposé à Colorado State University (présentation de CorteXlab et Socrate).
- Septembre 2016, présentation de CorteXlab à la *GNU-Radio conference* à Boulder, Colorado. De bons contacts sont noués qui pourraient déboucher sur l'organisation d'une conférence GNU radio en Europe.
- Octobre 2016 Présentation à Grenoble des activités Inria du CITI autour de l'IoT devant une délégation de Taiwan dans le cadre du MOU.
- Février 2017 à Lisbonne Présentation de la plate-forme CorteXlab au Cost Iracon.
- Février 2017 : Stand de démonstration à FOSDEM 2017 (Bruxelles), démonstration sur la plate-forme CorteXlab

- Mai 2017 : Présentation de CorteXlab à la journée du thème Système, Réseau et Télécommunications de la fédération informatique de Lyon
- Juillet 2017 : Présentation du logiciel Sytare à l'équipe Inria Celtique à Rennes.

Je suis actuellement titulaire de la PEDR (niveau B, depuis septembre 2017) et j'étais auparavant titulaire de la PEDR de 2008 à 2012, puis de la PES de 2013 à 2017. Depuis la rentrée 2015 je bénéficie d'une demi-délégation Inria pour me consacrer mieux à la gestion du projet Socrate.

Comités de programme (depuis 2013)

Depuis 2013, j'ai été dans les comités de programme des conférences suivante :

- 2013 : SIES 2013 (IEEE Symposium on Industrial Embedded Systems), ISVLSI 2013 (IEEE Computer Society Annual Symposium on VLSI)
- 2014 : ISVLSI 2014, DATE 2014 (Design Automation and Test In Europe, Track E4 : embedded software architectures and principles)
- 2015 : ISVLSI 2015, DATE 2015
- 2016 : ISVLSI 2016, DATE 2016, CROWNCOM 2016 (EAI International Conference on Cognitive Radio Oriented Wireless Networks)
- 2017 : ISVLSI 2016, DATE 2017, CROWNCOM 2017, COCORA 2018 (International Conference on Advances in Cognitive Radio)

J'effectue aussi une activité de reviewer pour des journaux ponctuellement (TACO, IJVLIS, IEEE Tans. Computer, ...).

Développement logiciel

J'ai été le **principal développeur et responsable** de la maintenance du logiciel MMAalpha de 1994 à 2001 (<http://www.irisa.fr/cosi/ALPHA/>). Ce logiciel (40 000 lignes de Mathematica et 25 000 lignes de C) a servi de support à plusieurs thèses. Durant cette période, j'étais aussi responsable de la maintenance de la librairie polyédrique Polylib (<http://icps.u-strasbg.fr/polylib/>). J'ai participé activement au développement de la bibliothèque SocLib (<http://soclib.lip6.fr/>). Aujourd'hui le déploiement de la **plate-forme CorteXlab** de l'équipex FIT (<http://www.cortexlab.fr>) s'accompagne de nombreuses productions logicielles open-source (Minus, DAS, FFT-web), j'ai participé notamment aux **design VHDL** produits pour les nœuds SDR Nutaq. Depuis deux ans nous avons lancé la conception de Sytare : un système d'exploitation pour micro-contrôleur sujet à de l'alimentation intermittente (<https://gitlab.inria.fr/citi-lab/sytare/>).

3.5 Responsabilités scientifiques

Vie scientifique

Note : ce paragraphe est le même que le premier de la section 4.1 (responsabilité collectives) vu la dualité de cette tâche je ne savais pas où la ranger.

Ma plus grosse contribution dans le domaine de la vie scientifique est la **création de deux projets Inria : Compsys et Socrate**. J'ai assuré la direction du projet Compsys de 2001 à 2005, ce projet a été reconnu comme une des équipes les plus en pointe dans le domaine de la compilation de systèmes embarqués, c'est Alain Darté qui en a repris la direction lors de mon recrutement à l'Insa de Lyon. Je suis actuellement chef du projet Socrate (<http://www.citi-lab.fr/team/socrate/>). Socrate a été la première *équipe-projet* Inria créée au CITI depuis la fin du projet Initiateur Ares en 2008. La mise en place de Socrate a contribué à la stabilisation des relations entre Inria et le CITI : Inria est aujourd'hui associé au laboratoire CITI lui-même (une des seules convention Inria-laboratoire en France) et bientôt il y aura 4 équipes-projets Inria au CITI. Simultanément, au démarrage de l'activité de Socrate fortement orienté vers la radio logicielle et la radio Cognitive, l'équipex FIT a été accepté (en 2011) et j'ai donc été l'un des responsables de la **mise en place de la plate-forme CorteXlab** de l'équipex FIT (www.cortexlab.fr), plate-forme dédiée à la radio logicielle aujourd'hui unique dans le monde.

J'ai aussi été directeur adjoint du laboratoire CITI en 2007-2008 comme expliqué dans la section 4.2

Gestion de contrat

En tant que chargé de recherche à Rennes, j'ai participé au suivi des contrats suivants dont je n'ai pas gardé les montants des budgets : Nana2 (projet Esprit BRA, à Lyon puis à Rennes 1995), Asar (projet MENESR 1997), Cairn (contrat Cnet 1997), Portrait (projet Européen Copernicus 1998), Remit et FFF (projets PAI Alliance avec l'Angleterre 1999), Dia (projet de l'université virtuelle francophone), Corcop (projet Cefipra avec l'Inde 2000), Mocat (projet régional 2000). Parmi ces projets, j'étais le responsable principal (du côté du projet Cosi) dans Cairn, Remit et FFF.

Au sein du projet Inria Compsys à Lyon, J'ai participé au montage d'un contrat de type STSI (projet du ministère de l'industrie, budget de l'ordre de 20K€), contrat avec ST-Microelectronics à Grenoble. J'ai démarré une collaboration avec l'équipe Shiva à Crolles dans le cadre du projet Nano2008 (convention entre ST-Microelectronics et l'état, budget de l'ordre de 30K€) ainsi qu'un contrat Cifre (thèse d'Antoine Scherrer). J'ai aussi monté le dossier de Compsys dans projet Européen ITEA Martes qui vient de se terminer (budget de 171k€)

Depuis mon arrivé a l'Insa, j'ai monté la participation du projet Ares au projet Minalogic OpenTLM (120 K€ en 2008), projet que nous avons du quitter suite à la defection de notre partenaire privilégié (Thompson Télécommunication). J'ai participé a la plate forme ANR SocLib (111 K€) au titre de l'Insa de Lyon qui s'est terminé en 2010.

4) RESPONSABILITÉS COLLECTIVES

4.1 Montage et direction des projets Inria Compsys et Socrate

Note : ce paragraphe est le même que le premier de la section 3.5 (responsabilité scientifique) vu la dualité de cette tâche je ne savais pas où la ranger.

Ma plus grosse contribution en terme de responsabilité collective est la **création de deux projets Inria : Compsys et Socrate**. J'ai assuré la direction du projet Compsys de 2001 à 2005, ce projet a été reconnu comme une des équipes les plus en pointe dans le domaine de la compilation de systèmes embarqués, c'est Alain Darté qui en a repris la direction lors de mon recrutement à l'Insa de Lyon. Je suis actuellement chef du projet Socrate (<http://www.citi-lab.fr/team/socrate/>). Socrate a été la première *équipe-projet* Inria créée au Citi depuis la fin du projet Initiateur Ares en 2008. La mise en place de Socrate a contribué à la stabilisation des relations entre Inria et le Citi : Inria est aujourd'hui associé au laboratoire Citi lui-même (une des seules convention Inria-laboratoire en France) et bientôt il y aura 4 équipes-projets Inria au Citi. Simultanément, au démarrage de l'activité de Socrate fortement orienté vers la radio logicielle et la radio Cognitive, l'équipex FIT a été accepté (en 2011) et j'ai donc été l'un des responsables de la **mise en place de la plate-forme CorteXlab** de l'équipex FIT (www.cortexlab.fr), plate-forme dédiée à la radio logicielle aujourd'hui unique dans le monde.

4.2 Responsabilités administratives diverses

- **Directeur adjoint de département Télécommunication (2 ans)** J'ai été directeur adjoint du département Télécommunication pendant deux ans, entre 2009 et 2011.
En plus de la tâche principale de ce poste : gestion de la 5^{ème} année et des évolutions pédagogiques du département, j'ai notamment supervisé les tâches suivantes : La refonte de la 5^{ème} année, l'introduction d'un retour sur les enseignements fait par les étudiants de manière systématique, la mise en place du supplément au diplôme et enfin le suivi de la pédagogie au sein de département en lien avec les responsables de domaine (réunions délégués, réunions du comité pédagogique).
- **Directeur adjoint du CITI (1 an)** J'ai été pendant un an directeur adjoint du CITI, pour pallier au départ d'Eric Fleury. Ce poste ne m'a pas demandé beaucoup de travail car le partage des tâches n'était pas encore finalisé.
- **Responsable du Master RTS (6 ans)** J'ai été entre 2007 et 2012 responsable du Master RTS, filière réseau du Master Mastria (<http://master-info.univ-lyon1.fr/M2RTS/>). Cette tâche m'a demandé beaucoup d'effort car le Master était habilité par nombreux établissements et l'organisation globale est... complexe, j'ai aussi beaucoup appris de cette expérience. J'ai aussi rédigé la proposition de la nouvelle mouture de la filière RTS pour le quadriennal qui n'a finalement pas été avalisé par l'Insa.
- **Responsable axe embarqué du CITI** Je suis, depuis 2005 responsable de l'équipe « embarqué » CITI. Cet axe regroupe entre cinq et sept permanents, j'ai notamment présenté le bilan de l'axe embarqué lors de l'évaluation HCERES du laboratoire en février 2015.
- **Direction adjointe de la fédération informatique de Lyon [à partir de février 2016]** Récemment, le LIP, le LIRIS et le Citi ont travaillé à la création d'une fédération (au sens CNRS du terme) de laboratoire d'informatique sur la région Lyonnaise intitulée FIL et destinée à être étendu

à la région Lyon/Saint-Etienne : `fil.cnrs.fr`. J'ai accepté la direction adjointe de la fédération (le directeur est David CoeurJolly), le dossier a été accepté et la fédération a été inaugurée le 24 Janvier 2017.

C'est un vrai plaisir de travailler à cette fédération, et de voir les trois chefs de laboratoire (LIP, CITI, LIRIS) se parler chaque mois et développer une vraie connivence. Ayant été présent au démarrage du LIP et du CITI, je sais qu'il est important que ces laboratoires travaillent ensemble et non les uns contre les autres. Je m'attache beaucoup à ce que cette fédération ne soit pas une strate administrative supplémentaire et qu'elle réponde à un vrai besoin des informaticiens de la région.

ANNEXE A : LISTE COMPLÈTE DES PUBLICATIONS

La plupart des articles récents sont accessibles via ma page web :
<http://perso.citi.insa-lyon.fr/trisсет/papers>

Thèses et habilitations

- [1] T. RISSET, *Contribution à la compilation de nids de boucles sur silicium*, Thèse d'habilitation à diriger des recherches, Université de Rennes 1, octobre 2000.
- [2] T. RISSET, *Parallélisation automatique : du modèle systolique à la compilation de nids de boucles*, Thèse de doctorat, ENS-Lyon, février 1994.

Chapitres de livre

- [3] F. D. HUTU, B. ALLARD, F. JUMEL, M. MARANZANA, K. MARQUET, L. MOREL, L. V. PHUNG, T. RISSET, D. TOURNIER, G. SALAGNAC, J. VERDIER, *Formation par projet et opportunité d'accès à distance à des ressources pédagogiques*, 13, 5, mai 2014, p. 1–10.
- [4] T. RISSET, *Encyclopedia of Parallel Computing*, Springer, 2011, ch. System on Chip, p. 412–413.
- [5] T. RISSET, R. B. ABDALLAH, A. FRABOULET, J. MARTIN, *Digital Front-End in Wireless Communication and Broadcasting*, Cambridge University Press, 2011, ch. Programming Models and Implementation Platforms for Software Defined Radio Configuration.
- [6] M. GAUTIER, G. VILLEMAUD, C. LÉVY-BENCHETON, D. NOGUET, T. RISSET, *Digital Front-End in Wireless Communication and Broadcasting*, Cambridge University Press, 2011, ch. Cross-layer design and digital front-end for cognitive wireless link.
- [7] A. SCHERRER, A. FRABOULET, T. RISSET, *Networks-on-Chips : Theory and Practice*, CRC Press, 2008, ch. 4 : On-chip Processor Traffic Modeling for NoC Design.
- [8] S. DERRIEN, S. RAJOPADHYE, P. QUINTON, T. RISSET, *High-Level Synthesis : From Algorithm to Digital Circuit*, Spinger, 2008, ch. 12 : High-Level Synthesis of Loops Using the Polyhedral Model.
- [9] F. DE DINECHIN, T. RISSET, M. MANJUNATHAIAH, M. SPIVEY, *System Specification and Design Languages (best of FDL'02)*, Kluwer, 2003, ch. Design of highly parallel architectures with Alpha and Handel, p. 293–304.
- [10] S. DERRIEN, A. C. GUILLOU, P. QUINTON, T. RISSET, C. WAGNER, *Domain-Specific Embedded Multi-processors*, Marcel Dekker, 2003, ch. 7 : Automatic Synthesis of Efficient Interfaces for Compiled Regular Architectures, p. 127–150.
- [11] A. DARTE, T. RISSET, Y. ROBERT, *Application-Driven Architecture synthesis*, Kluwer Academic Publishers, 1993, ch. 3 : Formal Methods for Solving the Algebraic Path Problem.
- [12] M. DARDAILLON, K. MARQUET, T. RISSET, J. MARTIN, H.-P. CHARLES, « Cognitive Radio Programming Survey », in : *Handbook of Research on Software-Defined and Cognitive Radio Technologies for Dynamic Spectrum Management*, N. Kaabouch et W.-C. Hu (éditeurs), IGI Global, October 2014.
- [13] T. GAUTIER, P. LE GUERNIC, P. QUINTON, S. RAJOPADHYE, T. RISSET, I. SMARANDACHE, « Le projet Cairn : vers la conception d'architectures à partir de Signal et Alpha », in : *Collection Technique et scientifique des Télécommunications*, CNET, 1997.

Articles dans revues internationales à comité de lecture

- [14] M. VALLERIAN, F. D. HUTU, G. VILLEMAUD, B. MISCOPEIN, T. RISSET, « A parallel unbalanced digitization architecture to reduce the dynamic range of multiple signals », *Radio Science*, avril 2016.
- [15] M. DARDAILLON, K. MARQUET, T. RISSET, J. MARTIN, H.-P. CHARLES, « A New Compilation Flow for Software-Defined Radio Applications on Heterogeneous MPSoCs », *ACM Transactions on Architecture and Code Optimization* 13, 2, juin 2016, p. 19 :1–19 :25.
- [16] C. T. DJAMENI, P. QUINTON, S. RAJOPADHYE, T. RISSET, M. TCHUENTE, « A reindexing based approach towards mapping of DAG with affine schedules onto parallel embedded systems », *Journal of Parallel and Distributed Computing*, 2008, To Appear.
- [17] A. SCHERRER, A. FRABOULET, T. RISSET, « Long-Range Dependence and On-chip Processor Traffic », *Microprocessors and Microsystems*, 2008.
- [18] A. C. GUILLOU, P. QUINTON, T. RISSET, « Hardware Synthesis for Systems of Recurrence Equations with Multi-Dimensionnal Schedule », *International Journal of Embedded Systems (IJES)* 3, 4, 2008, p. 271–284.
- [19] A. FRABOULET, T. RISSET, « Master Interface for On-Chip Hardware Accelerator Burst Communications », *Journal of VLSI Signal Processing* 59, 2007, p. 73–85.
- [20] S. RAJOPADHYE, T. RISSET, T. TADONKI, « Le chemin algébrique sur réseaux linéaires », *Technique et Science Informatique* 20, 5, 2001, p. 655–676.
- [21] E. MÉMIN, T. RISSET, « VLSI Design Methodology for Edge-Preserving Image Reconstruction », *Real-Time Imaging, Special issue on Fast Energy Minimization-Based Imaging and Vision Techniques*, 2000.
- [22] E. MÉMIN, T. RISSET, « On the Study of VLSI Derivation for Optical Flow Estimation », *International Journal of pattern recognition and Artificial Intelligence (IJPRAI)* 14, 4, juin 2000, p. 441–462.
- [23] C. TAYOU DJAMEGNI, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Derivation of Systolic Algorithms for the Algebraic Path Problem by Recurrence Transformations », *Parallel Computing* 26, 2000, p. 1429–1445.
- [24] P. QUINTON, S. V. RAJOPADHYE, T. RISSET, « On Manipulating Z-polyhedra using a Canonical Representation », *Parallel Processing Letters* 7, 2, June 1997, p. 181–194.
- [25] M. DION, T. RISSET, Y. ROBERT, « Ressource-Constrained Scheduling of Partitioned Algorithms on Processor Arrays », *Integration the VLSI journal* 20, 1994, p. 139–159.
- [26] P. BOULET, A. DARTE, T. RISSET, Y. ROBERT, « (Pen)-Ultimate Tiling? », *Integration, the VLSI journal* 17, 1993.
- [27] J. COLLARD, P. FEAUTRIER, T. RISSET, « Construction of DO Loops from Systems of Affine Constraints », *Parallel Processing Letters* 5, 1993, p. 421–436.
- [28] T. RISSET, Y. ROBERT, « Synthesis of Processor Arrays for the Algebraic Path Problem : Unifying Old Results and Deriving New Architectures », *Parallel Processing Letters* 1, 1991, p. 19–28.
- [29] T. RISSET, « Implementing Gaussian Elimination on a Matrix-Matrix Multiplication Systolic Array », *Parallel Computing* 16, 1990, p. 351–359.

Conférences avec comité de lecture et proceeding

- [30] L. SAMPAIO CARDOSO, O. OUBEJJA, G. VILLEMAUD, T. RISSET, J. M. GORCE, « Reliable and Reproducible Radio Experiments in FIT/CorteXlab SDR testbed : Initial Findings », in : *Crowncom*, Lisbon, Portugal, septembre 2017.
- [31] G. BERTHOU, T. DELIZY, K. MARQUET, T. RISSET, G. SALAGNAC, « Peripheral state persistence for transiently-powered systems », in : *IoENT 2017 - 1st Workshop on Internet of Energy Neutral Things*, Geneva, Switzerland, juin 2017.
- [32] L. MOREL, M. SELVA, K. MARQUET, C. SAYSET, T. RISSET, « CalMAR -a Multi-Application Dataflow Runtime », in : *Thirteenth ACM International Conference on Embedded Software 2017, EMSOFT2017*, Seoul, South Korea, octobre 2017.
- [33] F. HUTU, G. SALAGNAC, K. MARQUET, T. RISSET, « Plateforme de mesure de la consommation énergétique dédiée aux objets communicants », in : *Journées Scientifiques de l'URSI : Energie et Radiosciences*, Rennes, France, mars 2016.

- [34] B. MASSOT, T. RISSET, G. MICHELET, E. MCADAMS, « Mixed Hardware and Software Embedded Signal Processing Methods for in-situ Analysis of Cardiac Activity », in : *9th International Joint Conference on Biomedical Engineering Systems and Technologies - Smart-BIODEV*, 4, Rome, Italy, 2016.
- [35] W. DU, J.-M. GORCE, T. RISSET, M. LAUZIER, A. FRABOULET, « Compressive Data Aggregation on Mobile Wireless Sensor Networks for Sensing in Bike Races », in : *European Signal Processing Conference (EUSIPCO 2016)*, European Association for Signal Processing (EURASIP), Budapest, Hungary, août 2016.
- [36] M. VALLÉRIAN, F. HUTU, B. MISCOPEIN, G. VILLEMAUD, T. RISSET, « Additive companding implementation to reduce ADC constraints for multiple signals digitization », in : *IEEE International Conference on New Circuits and Systems Conference (NEWCAS)*, Grenoble, France, juin 2015.
- [37] B. MASSOT, T. RISSET, G. MICHELET, E. MCADAMS, « A wireless, low-power, smart sensor of cardiac activity for clinical remote monitoring », in : *2015 17th International Conference on E-health Networking, Application and Services (HealthCom) (IEEE Healthcom 2015)*, IEEE, p. 487–493, Boston, United States, novembre 2015.
- [38] M. VALLÉRIAN, G. VILLEMAUD, F. HUTU, B. MISCOPEIN, T. RISSET, « A parallel unbalanced digitization architecture to reduce the dynamic range of multiple signals », in : *1st URSI Atlantic Radio Science Conference (URSI AT-RASC), 2015*, *Radio Science Conference (URSI AT-RASC), 2015 1st URSI Atlantic Proceedings*, Gran Canaria, Spain, mai 2015. best student paper finalist.
- [39] G. VILLEMAUD, Z. ZHAN, F. HUTU, T. RISSET, J.-M. GORCE, « Study of a Full-Duplex Dual-Band OFDM Transceiver », in : *DUPLO Workshop on Full-Duplex Radios and Systems*, Oulu, Finland, juin 2014.
- [40] M. VALLÉRIAN, G. VILLEMAUD, B. MISCOPEIN, T. RISSET, F. HUTU, « SDR for SRD : ADC specifications for reconfigurable gateways in urban sensor networks », in : *IEEE Radio Wireless Symposium*, Newport Beach, États-Unis, janvier 2014.
- [41] M. LAUZIER, A. FRABOULET, J.-M. GORCE, T. RISSET, « Live Group Detection for Mobile Wireless Sensor Networks », in : *Ninth International Conference on Body Area Networks*, London, Great Britain, septembre 2014.
- [42] A. MASSOURI, T. RISSET, « FPGA-based Implementation of Multiple PHY Layers of IEEE 802.15.4 Targeting SDR Platform », in : *SDR-WInnComm*, Wireless Innovation Forum, Schaumburg, Illinois, États-Unis, 2014.
- [43] M. LAUZIER, A. FRABOULET, J.-M. GORCE, T. RISSET, « Distributed Mobile Group Detection Algorithms : Application to Cycling Race », in : *Ninth IEEE Workshop on Practical Issues in Building Sensor Network Applications 2014*, Edmonton, Canada, septembre 2014.
- [44] L. S. CARDOSO, A. MASSOURI, B. GUILLON, P. FERRAND, F. HUTU, G. VILLEMAUD, T. RISSET, J. M. GORCE, « CorteXlab : A facility for testing cognitive radio networks in a reproducible environment », in : *2014 9th International Conference on Cognitive Radio Oriented Wireless Networks and Communications (CROWN-COM)*, p. 503–507, June 2014.
- [45] M. DARDAILLON, K. MARQUET, T. RISSET, J. MARTIN, H.-P. CHARLES, « Contrôle d'application flot de données pour les systèmes sur puces : étude de cas sur la plateforme Magali », in : *ComPAS*, P. Felber, L. Philippe, E. Riviere, A. Tisserand (éditeurs), p. 1 – 12, Neuchâtel, Suisse, avril 2014.
- [46] M. DARDAILLON, K. MARQUET, T. RISSET, J. MARTIN, H.-P. CHARLES, « Compilation for heterogeneous SoCs : bridging the gap between software and target-specific mechanisms », in : *workshop on High Performance Energy Efficient Embedded Systems - HIPEAC*, Vienne, Autriche, janvier 2014.
- [47] M. DARDAILLON, K. MARQUET, T. RISSET, J. MARTIN, H.-P. CHARLES, « A Compilation Flow for Parametric Dataflow : Programming Model, Scheduling, and Application to Heterogeneous MPSoC », in : *International Conference on Compilers, Architecture and Synthesis for Embedded Systems (CASES)*, New Delhi, India, octobre 2014.
- [48] M. DARDAILLON, K. MARQUET, T. RISSET, A. SCHERRER, « Software Defined Radio Architecture Survey for Cognitive Testbeds », in : *Wireless Communications and Mobile Computing Conference (IWCMC), 2012 8th International*, Limassol, Cyprus, septembre 2012.
- [49] G. VILLEMAUD, C. LÉVY-BENCHETON, T. RISSET, « Performance Evaluation of Multi-antenna and Multi-mode Relays Using a Network Simulator », in : *EUCAP 2012*, Prague, Czech Republic, mars 2012.
- [50] M. DARDAILLON, C. LAURADOUX, T. RISSET, « Hardware Implementation of the GPS authentication », in : *ReConFig - International Conference on ReConfigurable Computing and FPGAs*, Cancun, Mexico, décembre 2012.

- [51] C. LÉVY-BENCHETON, G. VILLEMAUD, T. RISSET, « Toward an energy reduction in mobile relays : combining MIMO and multi-mode », *in : IFIP Wireless Days*, Niagara Falls, Canada, October 2011.
- [52] C. LÉVY-BENCHETON, D. AMMAR, , G. VILLEMAUD, T. RISSET, « Multi-mode relay simulations : an energy evaluation on WSNet », *in : Proceedings of the IEEE Radio and Wireless Symposium (RWS) 2011*, Phoenix, AZ, USA, January 2011.
- [53] R. B. ABDALLAH, T. RISSET, A. FRABOULET, J. MARTIN, « Virtual Machine for Software Defined Radio : Evaluating the Software VM Approach », *in : International Conference on Embedded software and systems (ICCESS)*, IEEE Computer Society, p. 1970–1977, Bradford, UK, 2010.
- [54] R. B. ABDALLAH, T. RISSET, A. FRABOULET, Y. DURAND, « The Radio Virtual Machine : A solution for SDR portability and platform reconfigurability », *in : Reconfigurable Architectures Workshop (RAW)*, IEEE Computer Society, p. 1–4, Anchorage, USA, 2009.
- [55] A. PLESCO, T. RISSET, « Coupling Loop Transformations and High-Level Synthesis », *in : Symposium en Architecture de machines (Sympa 2008)*, ACM Press, Fribourg 2008, 2008.
- [56] A. SCHERRER, A. FRABOULET, T. RISSET, « Long-Range Dependence and On-chip Processor Traffic », *in : ReCoSoc : Reconfigurable Communication-centric SoCs*, Montpellier, France, June 2007.
- [57] C. TAYOU DJAMEGNI, P. QUINTON, S. RAJOPADHYE, T. RISSET, T. M., « Une approche itérative pour l'allocation des tâches sur réseaux réguliers », *in : 8ème Colloque Africain sur la Recherche Informatique*, Cotonou, Bénin, 2006.
- [58] A. SCHERRER, A. FRABOULET, T. RISSET, « A Generic Multi-Phase On-Chip Traffic Generation Environment », *in : IEEE 17th International Conference on Application-Specific Systems, Architectures and Processors (ASAP'06)*, Steamboat Springs, Colorado, USA, September 2006.
- [59] A. FRABOULET, A. SCHERRER, T. RISSET, « Automatic Phase detection for Stochastic On-Chip Traffic Generation », ACM Press, p. 88 – 93, seoul, South Korea, October 2006.
- [60] A. DARTE, S. DERRIEN, T. RISSET, « Hardware/Software Interface for Multi-Dimensional Processor Arrays », *in : IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP)*, IEEE Computer Society Press, p. 28–35, 2005.
- [61] A. SCHERRER, T. RISSET, A. FRABOULET, « Hardware Wrapper Classification and Requirements for On-Chip Interconnects », *in : Signaux, Circuits et Systèmes 2004*, p. 31–34, Monastir, Tunisie, March 2004.
- [62] A. FRABOULET, T. RISSET, « Efficient On-Chip Communications for Data-Flow IPs », *in : Application Specific Array Processors (ASAP'04)*, IEEE Computer Society Press, p. 293–303, 2004.
- [63] A. SCHERRER, A. FRABOULET, T. RISSET, « Cycle Accurate Simulation Model Generation for SoC Prototyping », *in : Computer Systems : Architecture, Modeling, and Simulation (SAMOS 2004)*, A. D. Pimentel, S. Vassiliadis (éditeurs), LNCS, 3133, Springer Verlag, p. 453–462, July 2004.
- [64] A. FRABOULET, T. RISSET, A. SCHERRER, « Cycle Accurate Simulation Model Generation for SoC Prototyping », *in : SAMOS*, p. 453–462, 2004.
- [65] A. C. GUILLOU, P. QUINTON, T. RISSET, « Hardware Synthesis for Multi-Dimensionnal Time », *in : IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP 2003)*, The Hague, The Netherlands, juin 2003.
- [66] F. DUPONT DE DINECHIN, M. MANJUNATHAIAH, T. RISSET, M. SPIVEY, « Design of Highly Parallel Architectures with Alpha and Handel », *in : Forum on Specification & Design Languages (FDL 2002)*, Marseille, septembre 2002.
- [67] D. CACHERA, T. RISSET, « Advances in Bit Width Selection Methodology », *in : IEEE International Conference on Application-specific Systems, Architectures and Processors (ASAP 2002)*, San Jose, California, juillet 2002.
- [68] M. MANJUNATHAIAH, G. M. MEGSON, T. RISSET, S. RAJOPADHYE, « Uniformization of Affine Dependence Programs for Parallel Embedded System Design », *in : International Conference on Parallel Processing*, L. Ni, M. Valero (éditeurs), p. 205–213, Valencia, Spain, 2001.
- [69] P. QUINTON, T. RISSET, « Structured Scheduling of Recurrence Equations : Theory and Practice », *in : Proc. of the System Architecture Modelling and Simulation Workshop, Lecture Notes in Computer Science, 2268*, Springer Verlag, p. 112–134, Samos, Greece, 2001.

- [70] D. CACHERA, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Proving Properties of Multidimensional Recurrences with Application to Regular Parallel Algorithms », *in : 6th International Workshop on Formal Methods for Parallel Programming : Theory and Applications (FMPPTA)*, San Francisco, avril 2001.
- [71] A.-C. GUILLOU, F. QUILLERÉ, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Hardware Design Methodology with the Alpha Language », *in : FDL'01*, Lyon, France, septembre 2001.
- [72] S. DERRIEN, T. RISSET, « Interfacing compiled FPGA programs : the MMAAlpha approach », *in : PDPTA2000 : Second International Workshop on Engineering of Reconfigurable Hardware/Software Objects*, A. Arabnia (éditeur), CSREA Press, juin 2000.
- [73] A. GUILLOU, P. QUINTON, T. RISSET, « Automatic Design of VLSI Pipelined LMS Architectures », *in : 2000 IEEE Canadian Conference on Electrical & Computer Engineering*, Trois Rivières, Canada, août 2000.
- [74] T. RISSET, Y. SAOUTER, « Synthèse de haut niveau d'un co-processeur pour le calcul des bases de Grobner », *in : 5eme Symposium en architecture nouvelles de machines (Sympa'5)*, Rennes, Jun 1999.
- [75] A. MOZIPO, D. MASSICOTE, P. QUINTON, T. RISSET, « A Parallel Architecture for Adaptive Channel Equalization Based On Kalman Filter Using MMAAlpha », *in : 1999 IEEE Canadian Conference on Electrical & Computer Engineering*, 1999.
- [76] E. MÉMIN, T. RISSET, « Full Alternate Jacobi Minimization and VLSI Derivation of Hardware for Motion Estimation », *in : Int. Workshop on Parallel Image Processing and Analysis, IWPIPA'99*, Madras, India, janvier 1999.
- [77] S. RAJOPADHYE, T. RISSET, C. TADONKI, « The Algebraic Path Problem Revisited », *in : Fifth International Euro-Par Conference*, p. 698–707, Toulouse, France, août 1999.
- [78] S. BALEV, P. QUINTON, S. V. RAJOPADHYE, T. RISSET, « Linear Programming Models for Scheduling Systems of Affine Recurrence Equations – a Comparative Study – », *in : 10th ACM Symposium on Parallel Algorithms and Architectures (SPAA)*, 1998.
- [79] C. TAYOU DJAMEGNI, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Derivation Of Systolic Algorithms For The Algebraic Path Problem By Recurrence Transformations », *in : 4ème Colloque Africain sur la Recherche Informatique*, Presse Universitaire de Dakar, p. 551,564, Dakar, Sénégal, octobre 1998.
- [80] A. MOZIPO, D. MASSICOTTE, P. QUINTON, T. RISSET, « Automatic Synthesis of a Parallel Architecture for Kalman Filtering using MMAAlpha », *in : International Conference on Parallel Computing in Electrical Engineering (PARELEC 98)*, p. 201–206, Bialystok, Poland, septembre 1998.
- [81] F. DUPONT DE DINECHIN, T. RISSET, S. ROBERT, « Hierarchical Static Analysis for Improving the Complexity of Linear Algebra Algorithms », *in : International Conference on Parallel Computing (PARCO)*, 1997.
- [82] P. LE MOENNER, L. PERRAUDEAU, S. RAJOPADHYE, T. RISSET, P. QUINTON, « Generating Regular Arithmetic Circuits with AlpHard », *in : Massively Parallel Computing Systems (MPCS'96)*, mai 1996.
- [83] P. QUINTON, S. V. RAJOPADHYE, T. RISSET, « Extension of the Alpha Language to Recurrences on Sparse Periodic Domains », *in : Int. Conf. on Application Specific Array Processors*, IEEE Computer Society Press, p. 391–401, Chicago, Illinois, 1996.
- [84] F. DUPONT DE DINECHIN, P. QUINTON, T. RISSET, « Structuration of the Alpha Language », *in : Massively Parallel Programming Models*, W. Giloi, S. Jahnichen, B. Shriver (éditeurs), IEEE Computer Society Press, p. 18–24, 1995.
- [85] M. DION, T. RISSET, Y. ROBERT, « Resource-constrained scheduling of partitioned algorithms on processor arrays », *in : EuroMicro Workshop on Parallel and Distributed Processing*, IEEE Computer Society Press, p. 571–580, 1995.
- [86] P. CALLAND, T. RISSET, « Precise Tiling for Uniform Loop Nests », *in : Application Specific Array Processors*, IEEE Computer Society Press, p. 330–337, 1995.
- [87] P. BOULET, A. DARTE, T. RISSET, Y. ROBERT, « (Pen)-Ultimate Tiling », *in : Scalable High-Performance Computing Conference*, 1994.
- [88] T. RISSET, « Applying Semi-Systolic Techniques to SIMD Programming », *in : Applications in Parallel and Distributed Computing (IFIP Transactions)*, C. Girault (éditeur), North-Holland, p. 103–112, 1994.
- [89] T. RISSET, S. SONG, « A Real Time Systolic Algorithm for On-the-fly Hidden Surface Removal », *in : Application Specific Array Processors*, IEEE Computer Society Press, p. 238–249, 1993.

- [90] A. DARTE, T. RISSET, Y. ROBERT, « Loop Nest Scheduling and Transformations », *in : Environments and tools for parallel scientific computing*, North-Holland, p. 309–332, 1993.
- [91] T. RISSET, « A Method to Synthesize Modular Systolic Arrays With Local Broadcast Facility », *in : Application Specific Array Processors*, IEEE Computer Society Press, p. 415–428, 1992.
- [92] T. RISSET, Y. ROBERT, « Uniform but Non-Local DAGs : a Trade-off between Pure Systolic and SIMD Solutions », *in : Application Specific Array Processors*, IEEE Computer Society Press, p. 296–308, 1991.
- [93] A. DARTE, Y. ROBERT, T. RISSET, « Systolic Systems », *in : 2nd IEE Int. Specialist Seminar on Parallel Digital Processors*, P. Hargraven (éditeur), *IEEE Conference Publication*, 334, IEEE Press, p. 6–10, 1991.
- [94] A. DARTE, T. RISSET, Y. ROBERT, « Synthesizing Systolic Arrays : some Recent Developments », *in : Application Specific Array Processors*, IEEE Computer Society Press, p. 372–386, 1991.
- [95] T. RISSET, « Linear Systolic Arrays for Matrix Multiplication : Comparisons of Existing Methods and New Results », *in : Proc. 2nd Workshop on Algorithms and VLSI parallel architecture*, 1991.

Rapports de recherche non publiés par ailleurs

- [96] G. BERTHOU, T. DELIZY, K. MARQUET, T. RISSET, G. SALAGNAC, « Peripheral State Persistence For Transiently Powered Systems », *Research Report n°9018*, INRIA, 2017.
- [97] M. VALLÉRIAN, F. HUTU, G. VILLEMAUD, B. MISCOPEIN, T. RISSET, « A study of companding approaches to alleviate the ADC constraints when demodulating multiple signals », *Research Report n°RR-8683*, Inria - Research Centre Grenoble – Rhône-Alpes ; INRIA, février 2015.
- [98] A. SCHERRER, A. FRABOULET, T. RISSET, « Analysis and Synthesis of Cycle-Accurate On-Chip Traffic with Long-Range Dependence », *rapport de recherche n°2005-53*, LIP, ENS-Lyon, December 2005.
- [99] D. CACHERA, S. RAJOPADHYE, T. RISSET, C. TADONKI, « Parallelization of the Algebraic Path Problem on Linear SIMD/SPMD Arrays », *rapport de recherche n°1346*, Irisa, 2000.
- [100] S. NOOKALA, T. RISSET, « A Library for Z-polyhedral Operations », *rapport de recherche n°1330*, Irisa, 2000.
- [101] F. BARDOULT, P. QUINTON, S. RAJOPADHYE, T. RISSET, « Synthesis of data-flow interfaces for regular parallel programs », *rapport de recherche n°1260*, Irisa, septembre 1999.
- [102] F. DUPONT DE DINECHIN, P. QUINTON, S. RAJOPADHYE, T. RISSET, « First Steps in Alpha », *rapport de recherche n°1244*, Irisa, 1999.
- [103] T. RISSET, F. DUPONT DE DINECHIN, S. ROBERT, « Structured Scheduling of Recurrence Equations », *rapport de recherche n°1140*, IRISA, 1997.
- [104] T. RISSET, Y. SAOUTER, « A Linear Systolic Array for the Computation of Gröbner Basis », *rapport de recherche n°1069*, Irisa, 1996.

Divers

- [105] G. BERTHOU ET. AL, « The INRIA ZEP project : NVRAM and Harvesting for Zero Power Computations », NVMW'2018 Poster, 9th Annual Non-Volatile Memories Workshop, San-Diego, California, mars 2018.
- [106] G. BERTHOU, T. DELIZY, K. MARQUET, T. RISSET, G. SALAGNAC, « Peripheral State Persistence and Interrupt Management For Transiently Powered Systems », NVMW'2018, 9th Annual Non-Volatile Memories Workshop, San-Diego, California, mars 2018.
- [107] G. BERTHOU, T. DELIZY, K. MARQUET, G. SALAGNAC, T. RISSET, « Sytare : Persistence de l'état des périphériques pour les systèmes à alimentation intermittente », Sophia-Antipolis, France, *in : Compas2017 - Conférence d'informatique en Parallélisme, Architecture et Système*, juin 2017.
- [108] A. MASSOURI, L. CARDOSO, B. GUILLON, F. HUTU, G. VILLEMAUD, T. RISSET, J.-M. GORCE, « CorteXlab : An Open FPGA-based Facility for Testing SDR & Cognitive Radio Networks in a Reproducible Environment », INFOCOM'2014 Demo/Poster Session, Toronto, Canada, avril 2014.
- [109] R. B. ABDALLAH, T. RISSET, A. FRABOULET, J. MARTIN, « Dispositif, chaine et procédé de traitement de données, et programme d'ordinateur correspondant », Patent CEA/Inria, ref : DD11158 ST, juin 2011.
- [110] R. B. ABDALLAH, T. RISSET, A. FRABOULET, J. MARTIN, « Implementing a Radio Virtual Machine on the MAGALI chip », Wireless Innovation Forum, juin 2010.

- [111] P. QUINTON, T. RISSET, « Designing Parallel Programs and Integrated Circuits », 8th International Mathematics Symposium (IMS'06), juin 2006.
- [112] D. CACHERA, S. RAJOPADHYE, T. RISSET, C. TADONKI, « A Coarse Grain Algorithm for the Algebraic Path Problem and its Optimal Parallelization », 2005, Submitted to Algorithmica Special Issue on Coarse Grained Parallel Algorithms.
- [113] A. SCHERRER, A. FRABOULET, T. RISSET, « Hardware-Software Fast and Accurate Prototyping with Soclib & MMAAlpha », University Booth Demonstration, in : *Design, Automation and Test in Europe (DATE)*, février 2004, University booth stand.
- [114] A. GUILLOU, P. QUINTON, T. RISSET, C. WAGNER, D. MASSICOTTE, « High Level Design of Digital Filters in Mobile Communications », DATE Design Contest 2001, mars 2001, Second place.
- [115] P. QUINTON, T. RISSET, « MMAAlpha : a toolbox for silicon compilation », University Booth Demonstration, in : *Design, Automation and Test in Europe (DATE)*, mars 2000, University booth stand.

ANNEXE B : DIRECTIONS DE THÈSES

B.1 Encadrement doctoral

J'ai participé à l'encadrement des thèses suivantes :

- **Florent Dupont de Dinechin** (thèse soutenue en 1997, encadrement à 40%)
Florent a été recruté en 1998 comme maître de conférence à l'ENS-Lyon, il a ensuite été recruté comme professeur à l'Insa de Lyon en 2011, il travaille actuellement dans mon équipe Socrate.
- **Patricia Le Moenner** (thèse soutenue en 1997, encadrement à 30%),
Patricia a longtemps travaillé chez Motorola à Toulouse, elle s'est aujourd'hui reconverti dans le monde associatif et militant.
- **Sophie Robert** (thèse soutenue en 1997, encadrement à 50%),
Sophie travaille à Rennes dans une société de sécurité en informatique.
- **Anne-Claire Guillou** (thèse soutenue en 2003, encadrement à 50%).
Anne-Claire travaille dans une entreprise Rennaise d'informatique.
- **Antoine Scherrer** (thèse soutenue en 2007, encadrement à 50%)
Antoine Scherrer a d'abord été musicien quelques années puis recruté chez HiKoB au démarrage de la société. Il y a deux ans, il a quitté la société pour devenir le responsable scientifique de l'école numérique créée par la société LDLC à Lyon.
- **Riadh Ben Abdallah** (thèse soutenue en 2010, encadrement à 50%)
Riadh a d'abord travaillé pour la société Kalray, puis il est retourné en Tunisie où il est enseignant et a aussi monté sa société de service informatique.
- **Yang Fei** (thèse soutenue en 2011, encadrement administratif uniquement)
Yang est reparti travailler en Chine.
- **Alexandru Plesco** (thèse soutenue en 2010, encadrement à 50%)
Alexandru est à la tête d'une start-up sur la synthèse de haut niveau, toujours en incubation.
- **Cedric Lévy-Bencheton** (thèse soutenue en 2011, encadrement à 50%)
Cédric travaille comme expert pour la commission européenne (pour les appels à projets)
- **Mickael Dardaillon** (thèse soutenue en 2014, encadrement à 50%)
Mickael Dardaillon a été recruté dans le département de recherche de National Instrument à Austin (Texas) pour appliquer les résultats de sa thèse sur le logiciel phare de NI : LabView-FPGA
- **Matthieu Lauzier** (thèse soutenue en 2015, encadrement à 30%)
Matthieu a été recruté par HiKoB pour continuer le travail d'équipement des vélos de courses cycliste par un système de capteurs communicants avec l'infrastructure de diffusion environnante.
- **Mathieu Vallérian** (thèse soutenue en 2016, encadrement à 30%)
Mathieu est actuellement en recherche d'emploi.

Je suis actuellement directeur de thèse de Tristan Delizy (encadrement à 40%) et de Gautier Berthou (encadrement à 50%). Ces deux thèses ont été lancées sur le thème de l'étude des technologies de mémoire non-volatile pour les systèmes à alimentation intermittente (Bourse région avec la start-up eVaderis et bourse Inria IPL).

J'encadre quasiment chaque année un stagiaire de Master. Ainsi que un ou deux stages Ingénieur Insa en projet de fin d'étude.

B.2 Jury

Depuis mon HDR j'ai participé aux jurys de thèse suivants :

- Daniel Ménard (Irisa, Dec. 2002), en temps que rapporteur.
- Sylvain Girbald (LRI, Sept. 2005), en temps que rapporteur.
- Lionel Lelong (LTSI, Dec. 2005), en temps que président de jury.
- Madeleine Nyamsi Lonzemu (Irisa, Dec. 2005), en temps que rapporteur.
- Richard Buchmann (LIP6, dec. 2006), en temps que rapporteur.
- Samuel Evain (LabSTICC, Nov. 2006), en temps que rapporteur
- Tariq Ali Omar (TIMC, Juin 2006), en temps que rapporteur.
- Nicolas Hervé (Irisa, Mars 2007), en temps que rapporteur.
- Sébastien Lebeux (LIFL, Dec. 2007), en temps que rapporteur.
- Caaliph Andriamisaina (LabSTCC, Nov. 2008), en temps que président de jury
- Alexandre Chureau (Tima, Nov. 2008), en temps que président de jury.
- Minhaj Ahmad Khan (Prism, Juin 2008), en temps que président de jury.
- Muhammad Rashid (UBO, Nov. 2009), en temps que rapporteur.
- Alexandre Chagoya Garzon (Tima, Dec. 2010), en temps que président.
- Khaled Rahmouni (Tima, Dec. 2010), en temps que rapporteur.
- Joël Porquet (LIP6, Dec. 2010), en temps que rapporteur.
- Adeel Pasha (Irisa, Dec. 2010), en temps que président.
- Sajjad Khawar (Prism, Jan. 2011), en temps que rapporteur.
- Erwan Raffin (Irisa, Juil. 2011), en temps que rapporteur.
- Pierre-Henri Horrein (Tima, Jan. 2012), en temps que rapporteur.
- Antoine Floc'h (Irisa, juin 2012), en temps que président du jury.
- Naem Abbas (Irisa, Juil. 2012), en temps que examinateur.
- Muhammad Mahtab Alam (U. Rennes, fev. 2013), en temps que rapporteur.
- Jair Gonzalez-Pina (Telecom ParisTech, Nice, Mai 2013), en temps que rapporteur.
- Antoine Morvan (U. Rennes, juin 2013), en temps que président du jury.
- Maria Isabel Vergara Gallego (U. Grenoble, Tima, Sep. 2013), en temps que rapporteur.
- Hervé Yviquel (U. Rennes, Lannion, Oct. 2013), en temps que rapporteur.
- Ganda-Stéphane Ouedraogo (U. Rennes, Lannion, Dec 2014), en temps que rapporteur.
- Vagelis Bebelis (U. Grenoble, Fev. 2015), en temps que rapporteur.
- Farouk Mansouri (U. Grenoble, Oct. 2015), en temps que président du jury.
- Andrea Enrici (Telecom-ParisTech, Dec. 2015), en temps que rapporteur.
- Marcos Aurelio Pinto Cunha (U. Grenoble, Jan. 2016) en temps que président du jury.
- Xiguang Wu (CentraleSupélec, Mar. 2016), en temps que rapporteur.
- Shaoyang MEN (U. Nantes, Oct. 2016) en temps que président du jury.
- Clément Le Bas (U. Limoges, Nov. 2017) en temps que président du jury.
- Célestin Matte (U. Lyon, Dec. 2017) en temps que membre local.

J'ai aussi participé aux jurys d'HDR suivant :

- Henri Pierre Charles (Prism, Dec. 2008), en temps que rapporteur.
- Loic Lagadec (UBO, Sep. 2009), en temps que rapporteur.
- Marine Minier (U. Lyon 1, mai 2012), en temps qu'examinateur.

ANNEXE C : DÉTAIL DES ENSEIGNEMENTS

C.1 1990-1994 : doctorant au LIP (Lyon)

Année	Statuts	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
1990-91	Normalien (ENS Lyon)	30 h	Deug, université de Lyon 1	TP de programmation (Pascal)
1991-92	Scientifique du contingent	40 h	Univ. de Toulon	Colles de programmation (Pascal)
1992-93	Moniteur (U. Grenoble 1)	64 h	Deug A1 université de Grenoble 1	Cours et TP de programmation (Pascal)
1993-94	Agrégé préparateur (ENS Lyon)	80 h	Magistère informatique ENS 1 ^{ère} année	TD du cours "Introduction à l'algorithmique" (30 h), TD du cours "Mathématiques pour l'informatique, algèbre et graphes" (16h), TD du cours "Algorithmique avancée" (30h)

TABLE C.1 – Enseignements à Lyon et Grenoble (1990-1994)

1994-2005 : CR Inria, à l'Irisa (Rennes) puis au LIP (Lyon)

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
1995-96	40 h	DEUG SM de l'université de Rennes 1	Introduction à la programmation par Mathematica. Création du cours et rédaction du polycopié en collaboration avec P. Quinton, S. Rajopadhye et D. Py, puis enseignement pour l'EMIA (école militaire de Coetquidan).
1996-97	40 h	DEUG SM Rennes 1	Mêmes enseignements qu'en 1995-96 (Mathematica).
1997-98	50 h	DEUG SM et DEA informatique Rennes 1	"Optimisation et Parallélisme (OPPA, création du cours)", plus l'enseignement de Mathematica (40h).
1998-99	70 h	DEUG SM et DEA Rennes 1	"Algorithmique du parallélisme (ALPA création du cours)", module OPPA, plus l'enseignement de Mathematica remanié (50h).
1999-2000	60 h	DEUG SM et DEA Rennes 1	Mêmes enseignements qu'en 1998-99
2000-2001	50 h	DIIC et DEA informatique Rennes 1	TP/TP de graphe en DIIC (formation ingénieur de l'université de Rennes 1, 40h) et module ALPA

TABLE C.2 – Enseignements à Rennes en tant que chargé de recherche (1994-2001)

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
2001-2002	24 h	DEA de l'ENS-Lyon	création du cours de DEA intitulé "modèle polyédrique"
2003-2004	30 h	Magistère informatique de l'ENS-Lyon (niveau M1).	du cours de Compilation : Toutes les techniques de base de la compilation depuis la théorie des grammaires jusqu'à la génération d'assembleur en passant par les optimisations de compilation classiques. Refonte complète du cours de Yves Robert. Rédaction complète du polycopié.
2004-2005	30 h	Magistère informatique de l'ENS-Lyon (niveau M1)	Cours de Compilation : refonte de certains TD et mise en place de TP
2004-2005	10 h	Master 2 Mastria filière RTS	création du cours de Master 2 intitulé "Conception de systèmes embarqués complexes " en commun avec Antoine Fraboulet

TABLE C.3 – Enseignements à Lyon en tant que chargé de recherche (2001-2005)

2005-2014 : PR Citi/Dept. Télécommunications, Insa-Lyon (plein temps)

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
2005-2014	65 h	3 ^{ème} année TC	Responsable du cours Algorithmique et Programmation (AGP) : refonte du cours et du poly, gestion complète (sujets TP/TD, gestion des intervenants)
2005-2010	15 h	3 ^{ème} année TC	Système d'exploitation (SDE) : TD, TP
2007-2009	30 h	3 ^{ème} année TC	Réseau (NET) : TD, TP
2005-2014	20 h	3 ^{ème} année TC	Passeport informatique pour les télécommunication (PIT : remise à niveau en informatique pour étudiants TC) : TP
2006-2012	10 h	5 ^{ème} année TC, IF, GE	Cours inter-département : systèmes embarqués temps réel. Environnement de programmation pour plateforme embarquée (carte avec microcontrôleur MSP430), participation à la création du cours , TP et cours.
2005-2014	15 h	4 ^{ème} année TC	interventions diverses : Réseau, Middleware, Vhdl, Gestion de projet...
2005-2014	30 h	5 ^{ème} année TC	Encadrement projet de fin d'étude, tutorat, responsabilité des PFE jusqu'en 2009
2005-2013	10 h	Master 2 Mastria filière RTS	Conception de systèmes embarqués complexes création et gestion du cours
2007-2011	6 h	Master 2 Mastria filière RTS	Responsable du cours "Techniques de base pour le chercheur" : présentation d'exposé, rédaction d'articles création et gestion du cours
2009-2010	24 h	Formation Continue Ingénieur CEA	Programmation MSP430 et réseaux de capteur pour des ingénieurs CEA Leti participation à la création du cours avec A. Fraboulet.
2010-2014	20 h	5 ^{ème} année TC	Cours optionnel sur la programmation de capteurs et de systèmes embarqués plus complexes participation à la création du cours
2012-2014	16 h	4 ^{ème} année TC	Cours optionnel sur la radio logicielle avec GNU-radio (MAC-TC) participation à la création du cours

TABLE C.4 – Enseignements à Lyon en tant que professeur à l'Insa de Lyon au département Télécommunications service et usage (2005-2014)

20015-2017 : PR Insa-Lyon, 1/2 délégation Inria

Année	Heures (Eq.TD)	Filière	Nature et contenu des enseignements
2014-2017	60 h	3 ^{ème} année TC	Responsable du cours Algorithmique et Programmation (AGP) : gestion des intervenants, filière classique et en alternance
2014-2017	20 h	5 ^{ème} année TC	Responsable du cours sur la programmation de capteurs et de systèmes embarqués evolution régulière du cours (responsable également de la filière “robotique et embarqué” correspondante)
2014-2016	16 h	4 ^{ème} année TC	Cours optionnel sur la radio logicielle avec GNU-radio (MAC-TC)
2014-2017	15 h	3 ^{ème} année TC	Proposition d’un sujet “Projet Initiation Recherche” mis en place pour que les étudiants 3TC prenne contact avec la recherche

TABLE C.5 – Enseignements à Lyon en tant que professeur à l’Insa de Lyon en demi-délégation Inria (2014-2017)